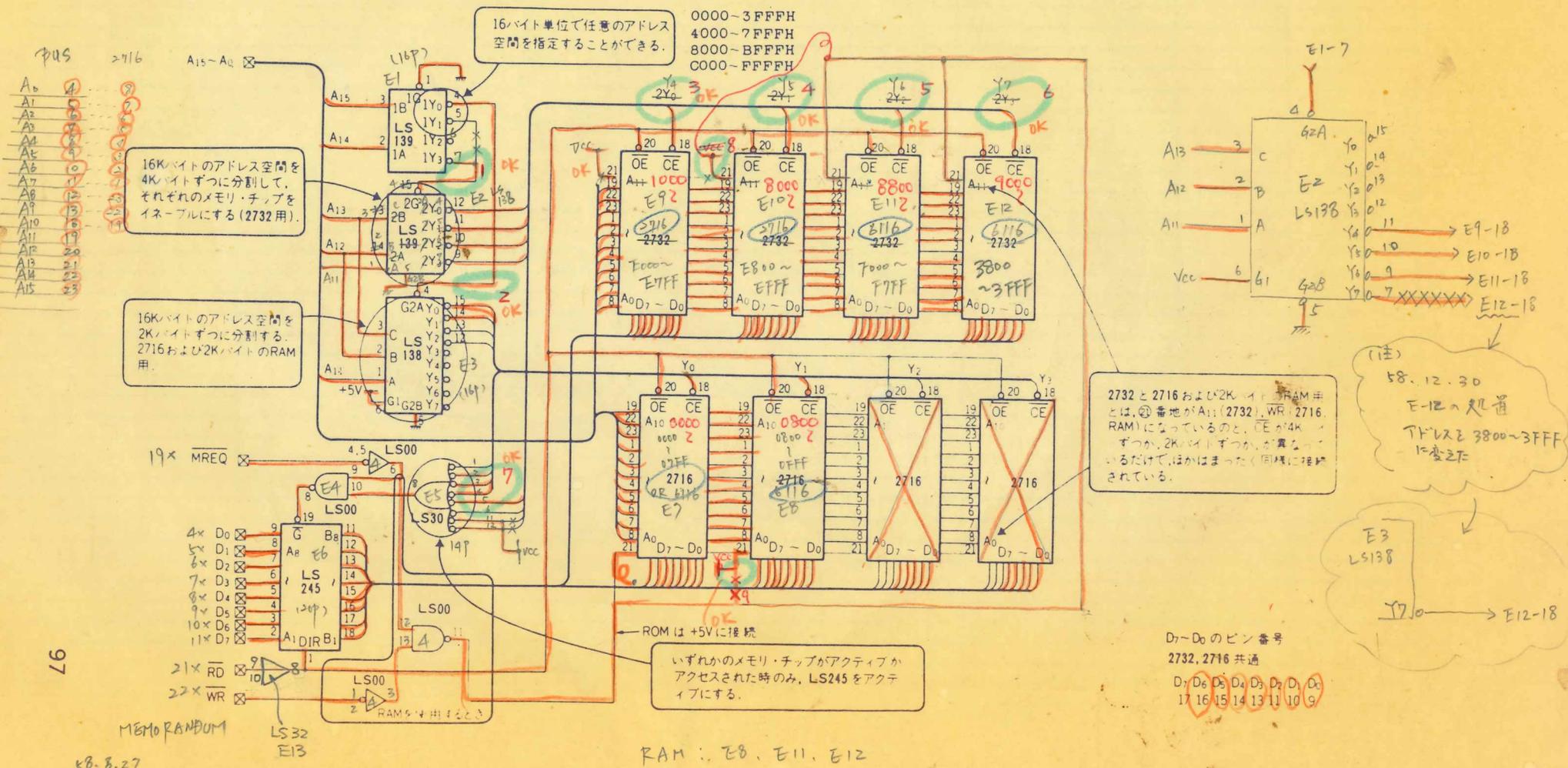


最終のROMカード
変更4所
① ② ③ ④

IPL ROM	MEMORY BANK 1	CS
E7 0000 ~ 07FF	E10 8000 ~ 87FF	E2 a Y0
E8 0800 ~ 0FFF	E11 8800 ~ 8FFF	E2 a Y1
E9 1000 ~ 17FF	E12 9000 ~ 97FF	E2 a Y2

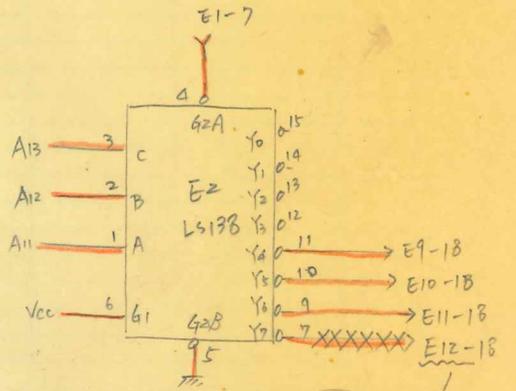
③ E2 a Y E000H ~ EFFFH (4K) ROM
④ E2 a Y F000H ~ F7FF (2K) RAM
⑤ RAM F800H ~ FFFFH (2K) RAM

〈図6-15〉ROM・RAM基板回路図



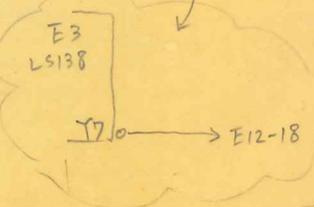
φ45

A0	1
A1	2
A2	3
A3	4
A4	5
A5	6
A6	7
A7	8
A8	9
A9	10
A10	11
A11	12
A12	13
A13	14
A14	15
A15	16



2732と2716および2KバイトRAMとは、②番地がA11(2732), WR(2716, RAM)になっているので、CEが4Kずつ、2Kバイトずつ、異なるだけで、ほかはまったく同様接続されている。

(注) 58.12.30
E12へ変更
アドレス 3800~3FFF
15番まで



D7-D0のピン番号
2732, 2716 共通
D7 D6 D5 D4 D3 D2 D1 D0
17 16 15 14 13 11 10 9

① E3-15 (Y0)は E5 (LS30) 側へ接続し、E5-6 pinは Vccに pull up して
0000~07FF の ACCESS した時 ROM RAM 19 a b116 と CONTROL 19 a b116
の CONTROL 19 a b116 と CONTROL 19 a b116

RAM : E8, E11, E12

CONT-2 19 a 2KB RAM (0000~07FFH) と a CONFLICT を 避ける
E3-Y0 (15PIN), 18 E3 側へ 18PIN 15PIN を プログラムしておく

〈図9-9〉 メモリ・コントローラ回路図

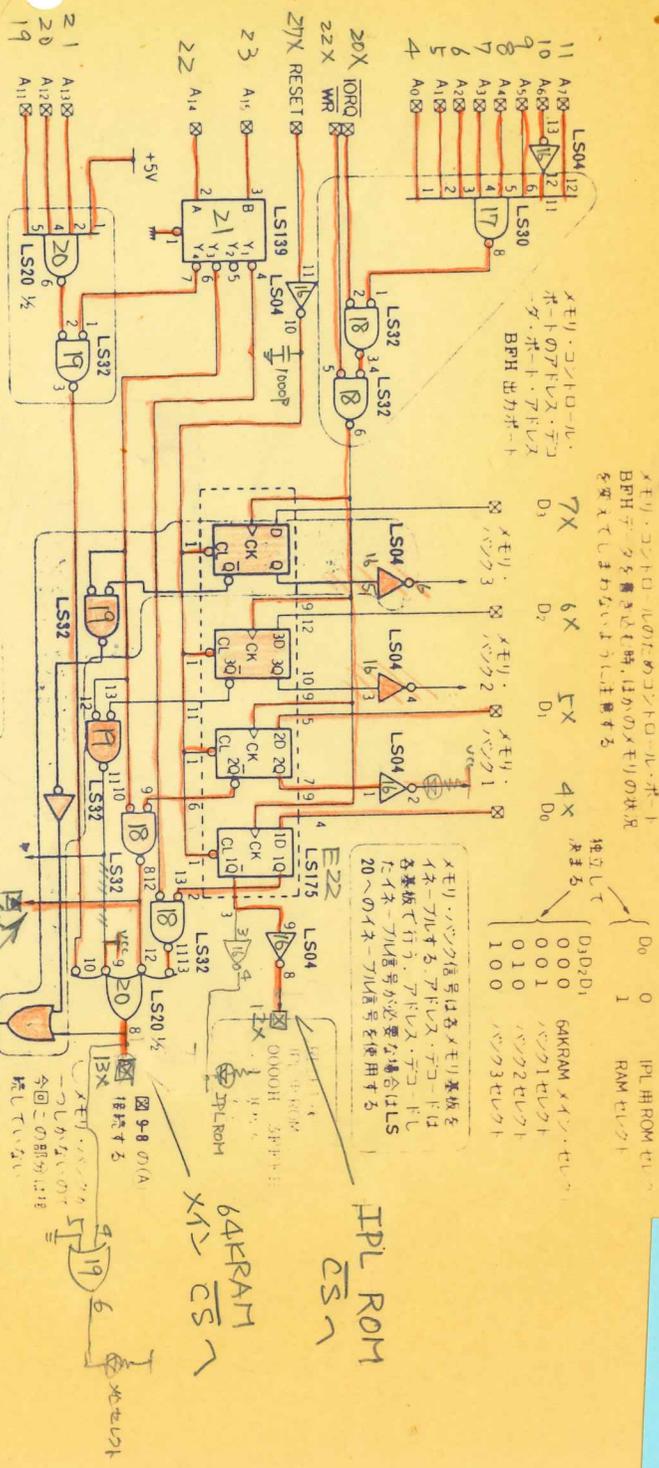
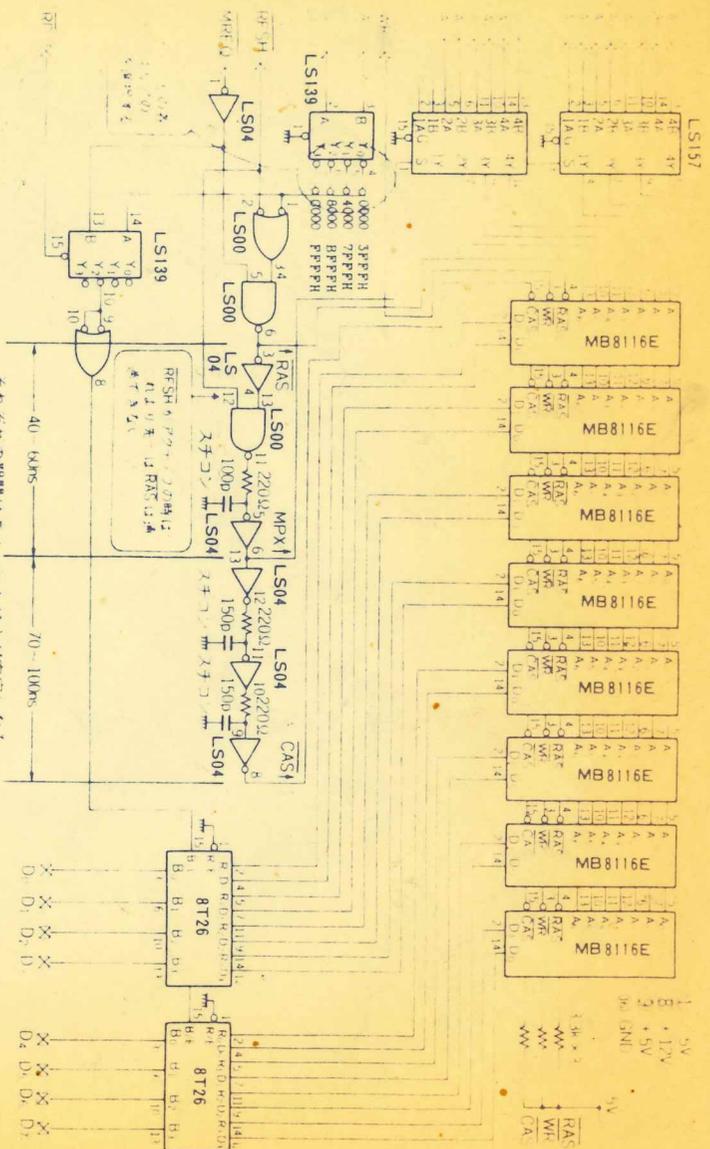


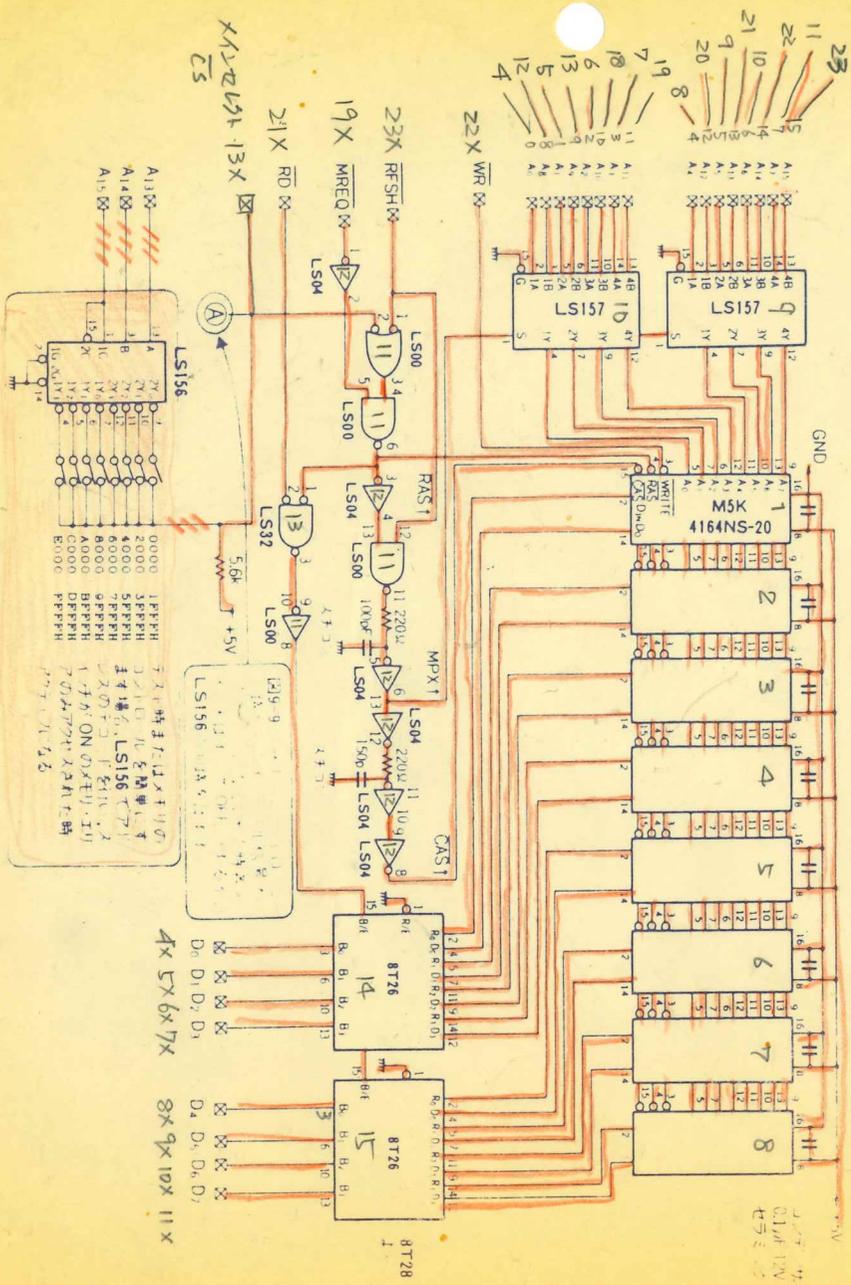
図9-4) 16KバイトRAM基板の回路図



それそれの期間は長めにしたほうが安定になる。
40-60ns
70-100ns

- 1~8 HSK 4164
- 9, 10 LS157 16P
- 11 LS00 14P
- 12 LS04 14P
- 13 LS32 14P
- 14, 15 8T26 16P
- 16P VCC 8 GND 16

図9-8) 64Kバイト・ダイナミックRAMの回路図



4x 5x 6x 7x
8x 9x 10x 11x