

# 第7章

## チョッパ型スイッチングレギュレータを作る

スイッチングレギュレータにおいて最も基本的なチョッパ方式のものを作ってみましょう。理解を深めるため、専用ICなどを用いず、基本的な回路を個別に作って実現します。

### 7-1 スwitching方式とリニア方式の違い

今まで取り扱ってきたリニア制御方式のDCDCコンバータは、図7-1(a)のように、入力電圧や出力電圧に応じて直列に挿入された抵抗の値(実際には電氣的に抵抗値を制御できる素子として、トランジスタを用いる)を変化させて、目的の出力電圧を得よう動作をするものでした。この方式は、不要エネルギー分を抵抗にて熱にして取り除くため、効率が悪いという欠点があります。これに対しスイッチング方式の電源は、図7-1(b)のように入力電圧をスイッチのON/OFFによって細切れにし、必要なエネルギー分だけを負荷へ供給します。もちろん細切れになった波形そのままを負荷に供給するわけにはいかないので、インダクタとコンデンサを利用して直流に直します。ようは出力にスイッチの開閉によって、ちょびちょびと必要なエネルギー量をインダクタやコンデンサに蓄えて、その蓄えられたエネルギーを負荷に与えているわけです。必要分のエネルギーだけをちょびちょび負荷に与えているわけですから、理論的に損失がなく、大変効率の良い電源を作ることができます。

リニア制御にせよ、スイッチング方式にせよ、制御の視点でみればどちらも同じで、ただリニア制御は抵抗が弁であり、スイッチング方式はスイッチのONしている時間とOFFしている時間の比が弁となるわけです。スイッチング方式において単なるスイッチのON/OFFだけでは直流になりませんから、時間的に断続している波形を直流に直すために、LやCが、そしてスイッチの開閉のタイミングを作り出す回路が新たに加わります。それ以外の出力検出だの誤差増幅器だのについては、リニア制御とまったく同じ考えです。

### 7-2 いろんな電圧をつくれるスイッチング形

今まで扱ってきたリニア制御方DC/DCコンバータは、高い電圧から同極性の低い電圧にすることしかできませんでした。これに対し、スイッチング形DC/DCコンバータは、低い電圧にすることはおろか、高い電圧にしたり、極性を反転させることもできます。それゆえ、スイッチング方式DC/DCコンバータを組み合わせれば、単一出力の電源をマルチ出力の電源にすることもできるのです。図7-2にちょっとその例をのせます。とりわけ、単電源で出力の大きい電源を一台持っていれば、あとはスイッチング形DCDCコンバータを組み合わせることで、いろんな実験に使えるマルチ出力の電源にすることができます。では、図6-2に示した、

- 1) 電圧を高くする「昇圧コンバーター」
- 2) 電圧を低くする「降圧コンバーター」
- 3) 極性を反転させる「反転コンバーター」

という三つの回路について説明することにしましょう。ただ、これらの回路を実現するのに、これまたいろんな回路方

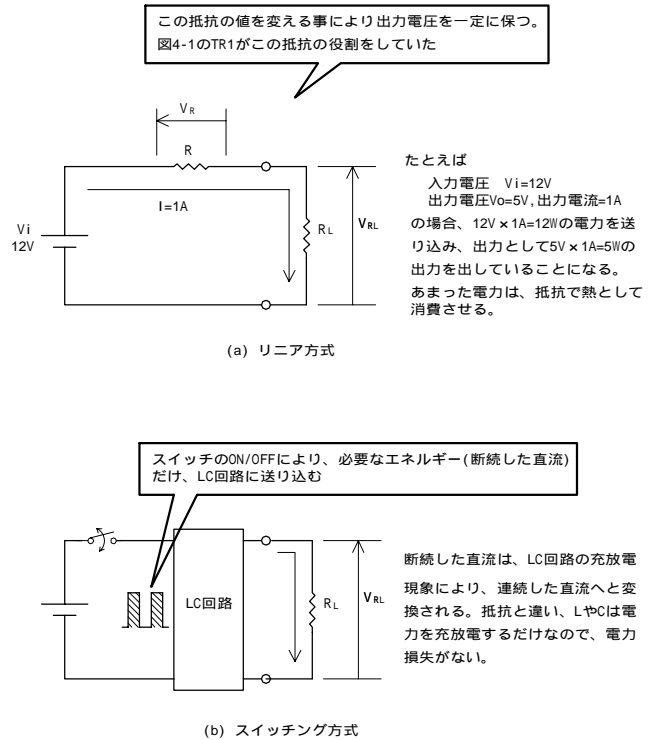


図7-1 スwitching方式とリニア方式の違い

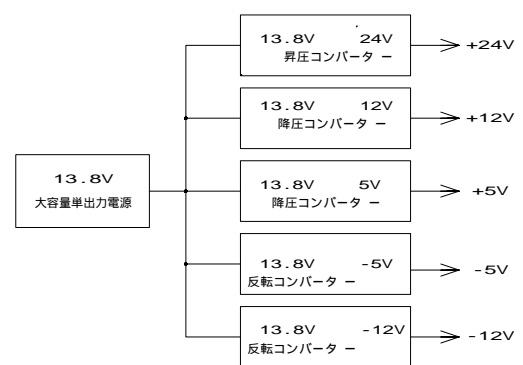


図7-2 スwitching電源を組み合わせることでマルチ電源を作れる

式がありますので、まずはもっとも基礎的で分かりやすいチョッパ型という方式で「昇圧・降圧・反転コンバーター」を実現させた場合について述べていくことにします。

### 7-3 チョッパ式降圧コンバータの原理

#### 1) スwitchingが弁になる

降圧コンバータの回路を図7-3に示します。この回路においてスイッチのON/OFFを繰り返すと、LC回路には、断続された直流電圧が入力されることとなります。そして、コイルとコンデンサにおけるエネルギーの充放電現象により、この断続された直流が、入力電圧  $V_i$  より低い、連続した直流電圧として出てくるのです。出力電圧は、このスイッチのON/OFFのタイミングにより決まり、まさしくスイッチングが弁となるわけです。

この回路において、LやCの充放電現象を利用しているということがミソです。LやCは一時的にエネルギーを充電したり放電したりするだけで、抵抗のように熱となってエネルギーを損失させるようなことはありませんから、損失なく断続した直流を連続した直流へと変換できるのです。また、スイッチの部分においても、ただON/OFFするだけですから、ここでも損失は発生しません。したがって、損失なく電圧を変えることができるのです。では、実際に出力電圧がどうなるのかを見てみることにしましょう。図7-4に、断続的な直流を入力電圧より低い直流電圧へと変換する原理を示します。

まず、スイッチがONすると、インダクタおよび負荷抵抗に電圧がかかります。インダクタに電圧がかかると、図7-4(a)のように電気エネルギーが磁界エネルギーへと変換されるため、電流は時間に対し直線的に増加してゆきます。インダクタに電圧がかかっているわけですから、出力電圧  $V_o$  は入力電圧より低くなるわけです。そして、コンデンサは  $V_o$  により充電されますから、コンデンサの両端電圧は  $V_o$  となります。

次に、スイッチがOFFした情况进行てみましょう。スイッチがOFFすると図7-4(b)のようにダイオードを通してインダクタに蓄えられた磁界エネルギーが電気エネルギーとして放電されます。この状態は、インダクタと平行にコンデンサがつながっている形になりますから、インダクタは両端電圧  $V_o$  にて、磁界エネルギーを電気エネルギーである電流  $I_L$  に変換します。

このように、インダクタ、コンデンサの充放電を利用して入力電圧より低い出力電圧を得るわけです。では、実際に出力電圧はいくらになるのでしょうか。出力電圧  $V_o$  は、インダクタとインダクタを流れる電流  $I_L$ 、スイッチをONしている時間  $T_{ON}$  とOFFしている時間  $T_{OFF}$ 、そして入力電圧  $V_i$  により決まり、以下の式で示されます。なお、図7-6に示す、Lに流れる電流振幅  $di$  は、出力電流の1/2となっているものとします。

・  $I_o$  が  $I_o > \frac{V_o T_{OFF}}{2L}$  のとき

$$V_o = \frac{T_{ON}}{T_{ON} + T_{OFF}} V_i \quad (7-1)$$

・  $I_o$  が  $I_o < \frac{V_o T_{OFF}}{2L}$  のとき

$$V_o = \frac{V_i^2 T_{ON}^2}{2I_o L (T_{ON} + T_{OFF}) + V_i T_{ON}^2} \quad (7-2)$$

出力電流によって式(7-1)で表されるか、式(7-2)で表されるかわかってくるのですが、この境目は、インダクタに流れる電流によってです。図7-6を見てください。図7-6(a)の

このスイッチを、バタバタ開閉させると、入力電圧  $V_i$  より低い直流電圧  $V_o$  が出てくる。  
オン・オフの時間比により直流出力電圧が変わる

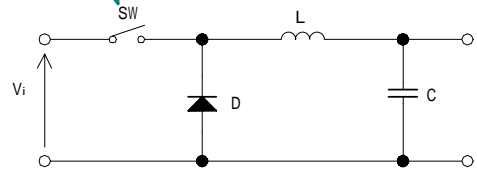
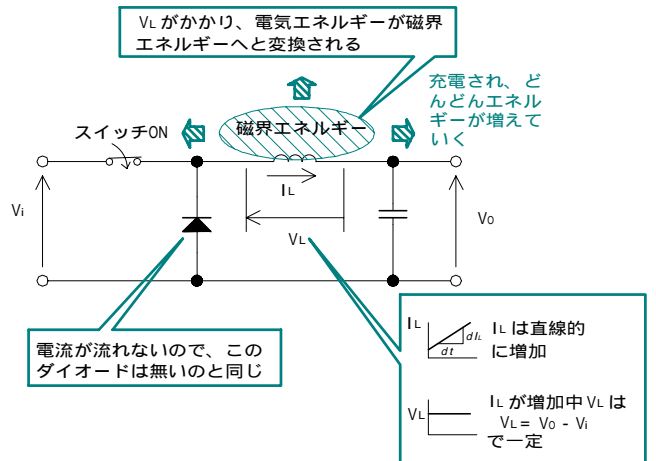
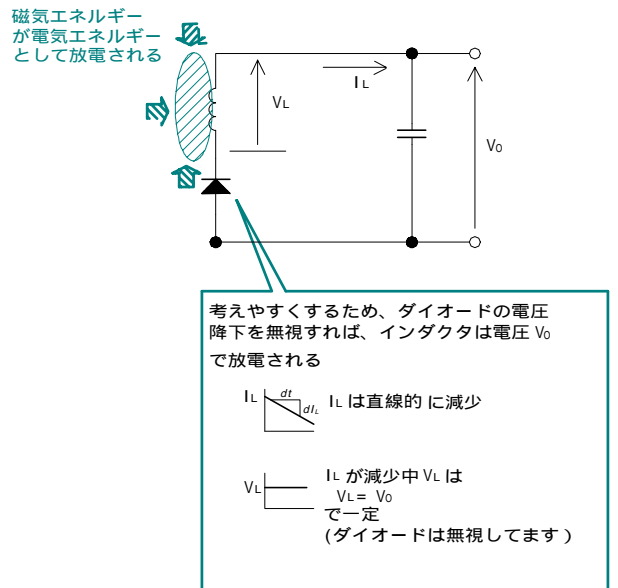


図7-3 チョッパ式降圧コンバーター



$V_L = L \frac{di}{dt}$  なので、Lを流れる電流は  $di = \frac{V_L}{L} dt$  という割合で増加する

(a) インダクタの充電



$V_o$  は一定なので、 $di = \frac{V_L}{L} dt$  (放電なので負号がつく)の割合で  $I_L$  が減少

(b) インダクタの放電

図7-4 降圧コンバータの動作

ように、インダクタに常に電流が流れているとき、出力電圧は式(7-1)で表され、インダクタに流れる電流が断続的になったとき、出力電圧は式(7-2)で表されるのです。前者を電流連続モード、後者を電流断続モードといいます。ここで注目することは、式(7-1)に示されるように「連続モードであれば、出力電圧はスイッチのONとOFFの時間比だけで決まるようになる」ということです。これに対し不連続モードは、連続モードと同じタイミングでスイッチングを行うと、負荷へ供給するエネルギー量が過剰となってしまうモードです。そのため、連続モードと同じ出力電圧を得るために、 $T_{ON}$ を減らさなければならない状態ということですが(式は複雑ですが、 $T_{ON}$ を減らせば出力電圧が下がるということは連続モードと変わりありません)。

連続モード・不連続モード、どちらにしてもON/OFFの時間をコントロールしてあげれば、出力電圧をコントロールできます。したがって、弁として利用できるということです(どのようにこの式が得られたのかは、参考文献1を参照してください。詳しく解説されています)。このLCとスイッチングが、出力電圧を決定する弁として利用できるのなら、あとは出力電圧に応じてこの弁、すなわちスイッチのON/OFFのタイミングを作り出してあげる回路と、誤差増幅器、出力検出回路を追加してあげれば、立派な降圧コンバータが出来上がります。

なお、インダクタには、このように三角波の電流がながれるわけですが、設計にあたっては、この三角波の振幅(図7-5の $di$ )が出力電流の30%~50%ぐらいになるように設計します。この振幅を大きくすると、必要なインダクタの値を小さくできますが、ノイズが大きくなりますし、出力電流が少なくなるとき(不連続モードとなったとき)に安定した制御

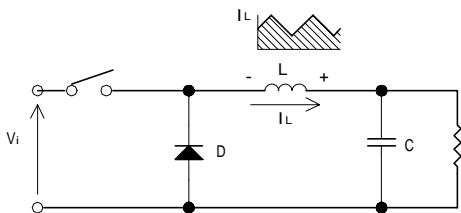
を行うことが難しくなります(なぜかは実際の設計のときに説明いたします)。かといってピーク値を少なくすると、インダクタの値を大きくしなければならなくなり、形状の大きなインダクタが必要となってしまいます。このような関係から、経験的に30~50%という値に落ち着きます。

2) 弁ができれば、あとは制御回路をつけて出来上がり

スイッチとL,Cにより出力電圧を可変することができるということがわかりました。ということで、それに制御回路をくっつけたものを、図7-6に示します。スイッチにFETを用いましたので、この章の最後のほうにFETについての説明をコラムとして載せておきました。

この図7-6は、弁として動作するFETのON/OFF時間の比を、誤差増幅器の出力に応じて変化させることで常に一定の出力電圧 $V_0$ となるよう動作させています。ある程度出力電流があれば、理想的には出力電圧は $T_{ON}/T_{OFF}$ の時間比だけで決まるのですが、実際には、出力電流が少ない場合、つまり電流不連続モードの状態もありますし、また仮に出力電流がある程度あっても、インダクタなどの内部抵抗によって出力電圧が変動します。ですから、出力電流に応じてON/OFFの時間比を調整して、出力電圧を常に一定にするわけです。このON/OFFの比を作り出す回路がPWMと呼ばれる回路です。PWMは図7-7のように入力電圧をパルスの長さに変換する回路で、*Pulse Wide Modulation*の頭文字をとってPWMと呼んでいます。ここで、 $1/T$ をこの降圧コンバータのスイッチング周波数、 $T_{ON}$ と $T$ の比をDuty(デューティ)比と呼びます。

PWM回路の出力は、FETドライブ回路に入ります。このFETドライブ回路は、PWM出力に応じて、FETをON/OFFさせます。

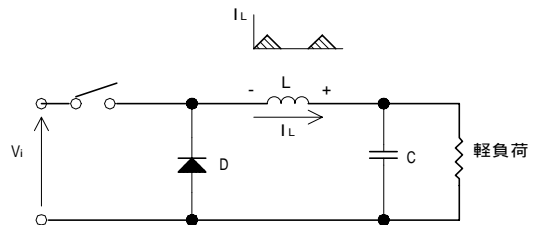
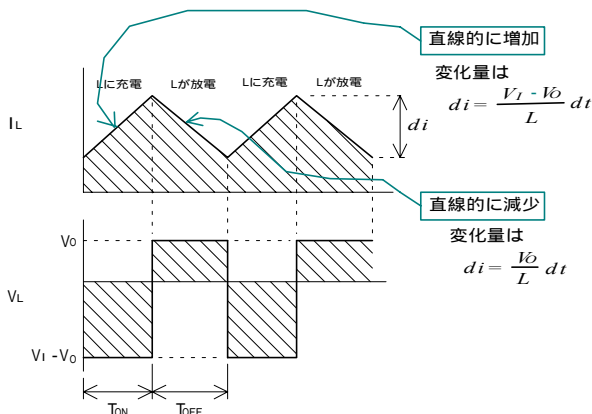


連続モード

出力電流がある一定以上だと、インダクタに流れる電流は、0にならず、常に電流が流れつづける。この状態を、連続モードという。

このモードだと、出力電圧は、 $T_{ON}$   $T_{OFF}$  の時間比で決まる。

$$V_0 = \frac{T_{ON}}{T_{ON} + T_{OFF}} V_i$$



不連続モード

出力電流が少ないと、インダクタに電流が流れない期間が発生する。この状態を、不連続モードという。

このモードだと、出力電圧は、 $T_{ON}$   $T_{OFF}$  の時間比に加え、出力電流やインダクタの値などにより決まる。

$$V_0 = \frac{V_i^2 T_{ON}^2}{2 I_0 L (T_{ON} + T_{OFF}) + V_i T_{ON}^2}$$

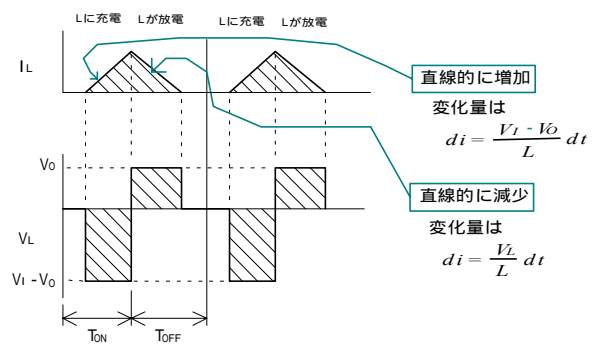


図7-5 スwitchのON/OFFのタイミングと、出力電圧の関係は、動作モードで異なる。

例をあげれば、PWM出力がHレベルであればFETはONし、LであればFETがOFFするようにします。こうして、誤差増幅器の出力に応じて *Duty* 比が変わり、出力電圧が一定となるよう調整されるのです。

### 7-4 チョップパ式昇圧コンバータの原理

#### 1) 昇圧の原理

図7-8が昇圧回路です。この回路で、スイッチのON/OFFを行うと、入力電圧より高い電圧が出力に現れ、そしてその電圧は *Duty* 比により決まります。まず、なぜこの回路で入力電圧より高い電圧が出てくるのか、ということから調べてみることにしましょう。

まず入力に電圧が加わったとします。すると、インダクタに電流が流れて、インダクタが充電されます。とりあえずこの状態が、まだDC/DCコンバータを動かさず、入力に電圧を加えただけの状態です。では、DC/DCコンバータを動かしてみましょ。DC/DCコンバータを動かすということは、スイッチをぱたぱたやることです。出力をいくらしようという制御なんか考えていませんから、思い付くままの周波数でスイッチングをおこなうことにしましょう。

スイッチがONになると、インダクタに流れる電流が増加します(負荷  $R_L$  を流れるよりスイッチ経由で流れた方が抵抗が小さいわけですから)。インダクタを流れる電流が増加する、すなわちインダクタにエネルギーが蓄えられていきます。つぎに、インダクタへの充電が完了する前に、スイッチをOFFにしてみましょう。今度はスイッチというバイパスがなくなりますから、電流は負荷経由で流れることとなります。当然スイッチを流れるより抵抗が大きいわけですから、電流は減ります。しかるに、インダクタは今まで蓄えていたエネルギーを放出するようになります。インダクタにおける充放電の電流の向きは同じ、電圧は図7-9(c)のようになりますから、出力電圧は、 $V_i + V_L$ 、すなわち入力電圧より高い電圧を得ることができるのです。ここで出てきた高い電圧でコンデンサは充電され、スイッチがOFFになっても、今度はこのコンデンサにより  $V_i + V_L$  という電圧が負荷に供給されるのです。スイッチのON/OFFを常に繰り返せば、出力には高い電圧を連続して出していただけることとなります。これが、昇圧コンバータの昇圧の仕組みです。

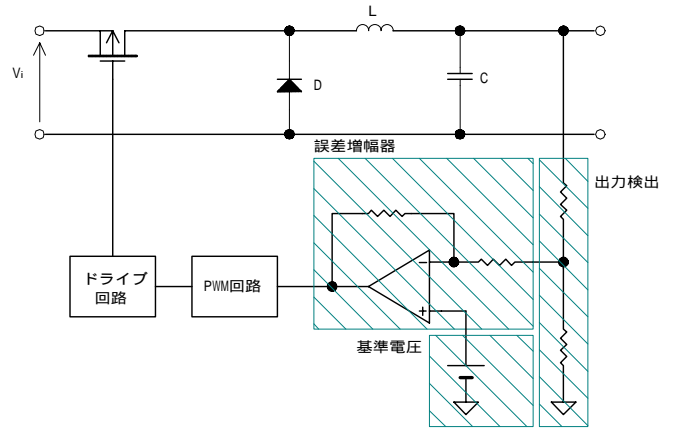
とにかくスイッチをぱたぱたやれば入力より高い電圧がこの回路で得られます。具体的に出力電圧を決めるには、制御を使います。決してインダクタンスやコンデンサの値が出力電圧を決定しているものではないのです。

#### 2) 出力電圧を決めるのは(弁としての利用法)

この回路も、降圧コンバータと同じく、*Duty* 比で出力電圧が決まります。また、負荷条件により、常にコイルに電流が流れている電流連続モードと、コイルに断続的に電流が流れる電流断続モードがあることも降圧コンバータと同じです。では、それぞれのモードにおける出力電圧はどうなるのかということ、これまた参考文献1から抜粋すると、

・  $I_o$  が  $I_o > \frac{T_{ON} V_i^2}{2LV_o}$  のとき(連続モード)

$$V_o = \frac{T_{ON} + T_{OFF}}{T_{OFF}} V_i \quad (7-3)$$



スイッチをFETなどの、電氣的にON/OFFできるスイッチにし、スイッチを制御する回路を加えれば立派な降圧コンバータの出来上がり。

図7-6 降圧コンバータ

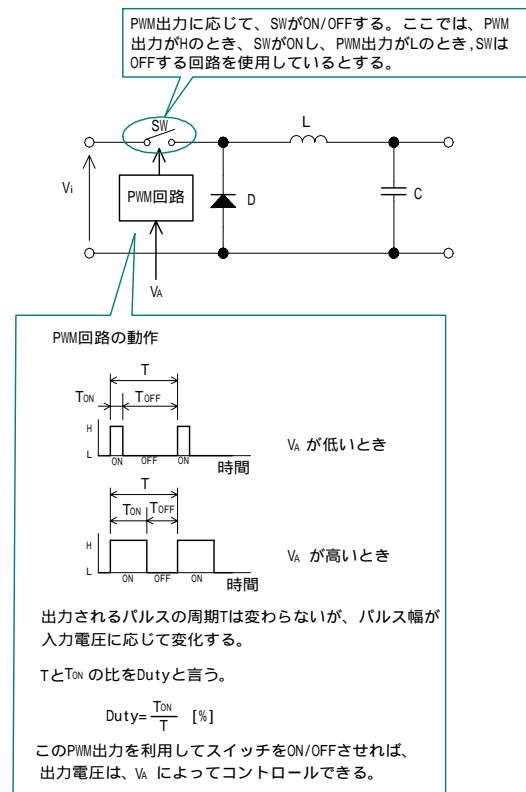
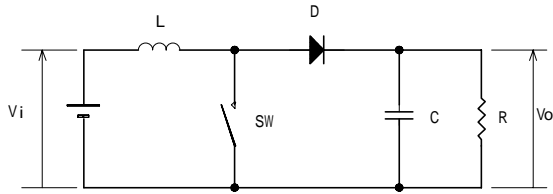


図7-7 スイッチパタパを弁として使う(PWM回路)

・  $I_o$  が  $I_o < \frac{T_{ON} V_i^2}{2LV_o}$  のとき(不連続モード)

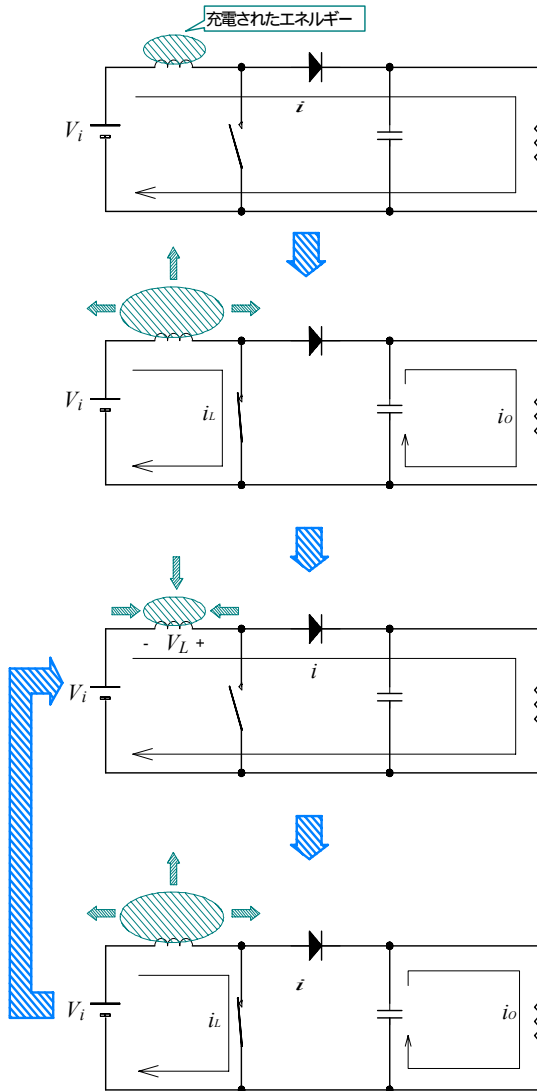
$$V_o = \frac{V_i^2 T_{ON}^2}{2I_o L (T_{ON} + T_{OFF})} \quad (7-4)$$

となり、電流連続モードであろうと、電流不連続モードであろうと、*Duty* 比で出力電圧をコントロールできます。ですから、あとは制御回路をつけてあげれば、昇圧コンバータが出来上がり、これを図7-10に示します。



スイッチをON/OFFさせると、入力電圧  $V_i$  より高い電圧が出力に現れる。

図 7-8 昇圧回路



(a)

まず、入力に電圧を加えると、インダクタが充電される。

(b)

スイッチがONすると、電流が  $R_L$  を流れていたときより増加する。電流が増加するという変化があるので、インダクタは更に充電される。

(c)

スイッチがOFFすると、電流は負荷を流れるようになる。負荷を流れるほうが抵抗が大きいので、電流が減る。すなわち、インダクタが放電しはじめる。インダクタの放電の向きからいって、インダクタの極性は出力電圧を高める方向、このインダクタで発生する電圧を  $V_L$  とすれば、

$$V_o = V_i + V_L$$

これだけの電圧が負荷にかかると同時に、コンデンサには、この電圧まで充電される。

(d)

スイッチONで再び充電。

インダクタ充電中は、コンデンサによって負荷に電力がおくられる(つまり、スイッチOFFのときは、コンデンサだけが頼り)。この後、スイッチOFFとなり(c)に戻る。

図 7-9 昇圧の原理

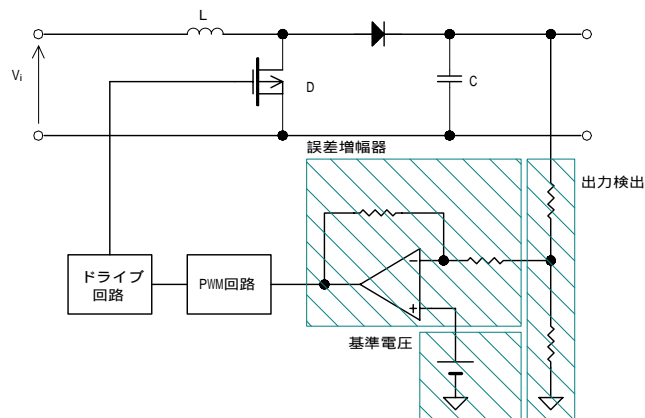
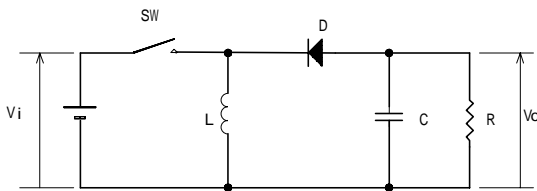


図 7-10 昇圧コンバータ

7-5 チョップパ式反転コンバーター

反転コンバーターも昇圧コンバーターと同じく、スイッチのON/OFFのデューティ比で出力電圧が変わります。では、極性を反転させる原理について述べることにしましょう。図7-13を見て下さい。まずスイッチがONすると、インダクタに充電電流が流れます。ダイオードがありますから、負荷へ電流は流れません。そして、スイッチがOFFになったとしましょう。すると、充電電流が流れなくなりますから、インダクタは、放電をはじめます。インダクタの充電電流と放電電流の向きは同じであることに注意してください。さて、GND電位は常に0Vですから、この方向に電流が流れるということは、出力端子であるA点の電位が負になっているということになります。すなわち入力に対し極性が反転したということです。後は制御で出力電圧を調整するようスイッチのDuty比を変えれば、反転コンバーターが出来上がります。



スイッチをON/OFFさせると、出力には負電圧が出てくる。

図7-11 反転コンバータ原理図

す。

この回路の出力電圧も、電流連続モードと電流不連続モードで異なり、参考文献1より

・  $I_o$  が  $I_o > \frac{V_i T_{ON} T_{OFF}}{2L(T_{ON} + T_{OFF})}$  のとき (連続モード)

$$V_o = \frac{T_{ON}}{T_{OFF}} V_i \quad (7-5)$$

・  $I_o$  が  $I_o < \frac{V_i T_{ON} T_{OFF}}{2L(T_{ON} + T_{OFF})}$  のとき (不連続モード)

$$V_o = \frac{V_i^2 T_{ON}^2}{2I_o L (T_{ON} + T_{OFF})} \quad (7-6)$$

となります。

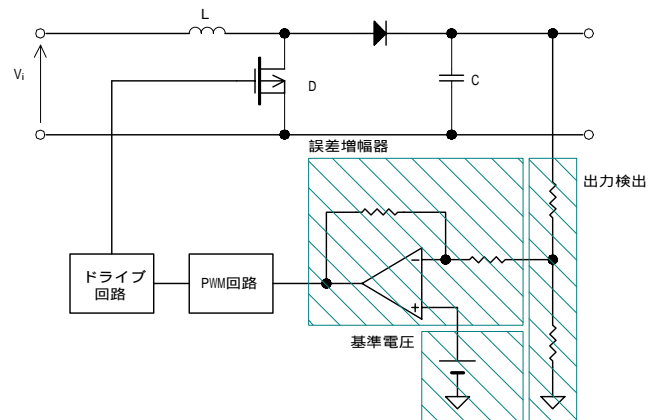


図7-12 反転コンバータ

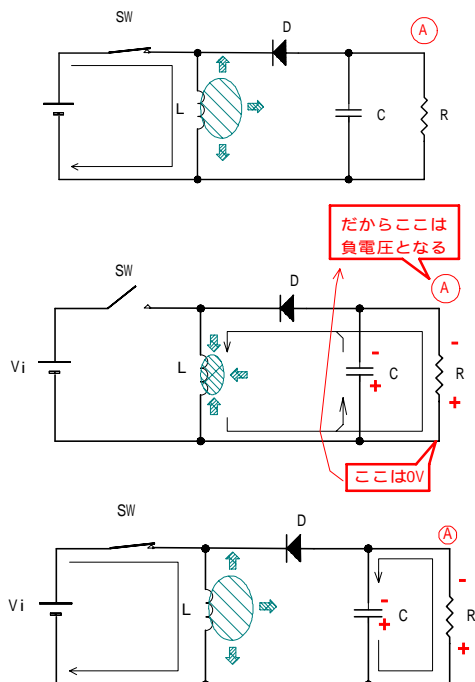


図7-13 負電圧の発生原理

スイッチがONすると、インダクタが充電される。ダイオードがあるので、Viによる電流は負荷に流れない。

スイッチがOFFすると、インダクタに蓄えられたエネルギーが放電を開始する。放電電流の向きから、負荷には入力電圧と逆極性の電圧が印加されていることがわかります。また、Lの放電電流の一部はCの充電にも用いられます。

再びスイッチがONすると、インダクタにエネルギーが充電されます。このとき、負荷には、コンデンサCにより電力が供給されています。

7-6 降圧コンバータ回路を作ってみよう 回路説明編

とりあえず、スイッチのON/OFFを行うことで出力電圧を変えることができることがわかりました。では、この回路に制御をつけて、安定した出力電圧が出るように、つまり、それなりにまとまなDCDCコンバータを実際に作ってみることにしましょう。ここでは、降圧コンバータを例にあげてみることにします。

図7-6は、簡単な降圧コンバータのブロック図でしたが、これを実際の回路で実現しようとする、図7-15のようになります。この回路は、制御の補償回路において、もっともわかりやすい遅れ位相補償のみの回路としました。ただ、実際のスイッチング電源を作るときは、遅れ位相保証だけではうまくいきませんので、あくまで例としてみてください。どうして遅れ位相保証だけではダメなのかということも、この先実際に設計をし、特性を測定するとわかってくるとおもいます。

では、図7-15の回路を、各ブロックごとに説明してゆきましょう。

1)PWM回路

まずは、いままでのリニアレギュレータには存在しなかったPWM回路について説明します。PWM回路がいったい何をするための回路なのかはすでに説明しておりますから、今度はそれをどうやって実現しているのかの説明をします。

PWM回路は図7-14に示す通り、三角波発生回路とコンパレータから構成され、三角波と入力信号をコンパレータにて比較すると、入力電圧に応じたパルス幅をもつ波形を得ることができます。通常、PWM回路は三角波ではなくのこぎり波を用いるのですが、ここでは三角波で間に合わせております。

さて、この三角波の発生は、オペアンプを応用して作成してあります。せっかくですから、この動作も説明しておきましょう。今、図7-16において $R_{31}=R_{32}=R_{33}$ ,  $R_1 \ll R_2$ ,  $R_2 = (1/3)$

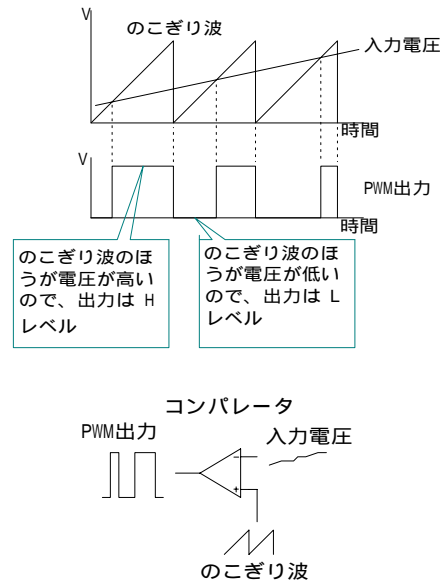


図7-14 PWM回路の原理

$R_{31}$ にします。電源が投入された直後、Cの両端電圧は0Vであり、オペアンプの+入力は図7-16(b)のとおり $V_{CC}$ の2/3となっていますから、オペアンプの出力は $V_{CC}$ と同電位となり、 $R_2$ を介してCが充電されます。Cが充電され、Cの電位が上昇してゆき、ついに $(2/3)V_{CC}$ まで電位が上昇すると、オペアンプの-入力の電位が、+入力の電位を超えますから、オペアンプ出力は0Vになります。すると、図7-16(c)のように+入力は $1/3V_{CC}$ へと落ちますから、Cは $R_2$ を通して放電されることとなります。そして、Cの電位が $(1/3)V_{CC}$ 以下になると、オペアンプ出力は $V_{CC}$ となり、再びCを充電します。このように $C_1$ の充放電現象により発振が持続し、Cから出力を取り出せば三角波を得ることができるのです。なお、この動作が

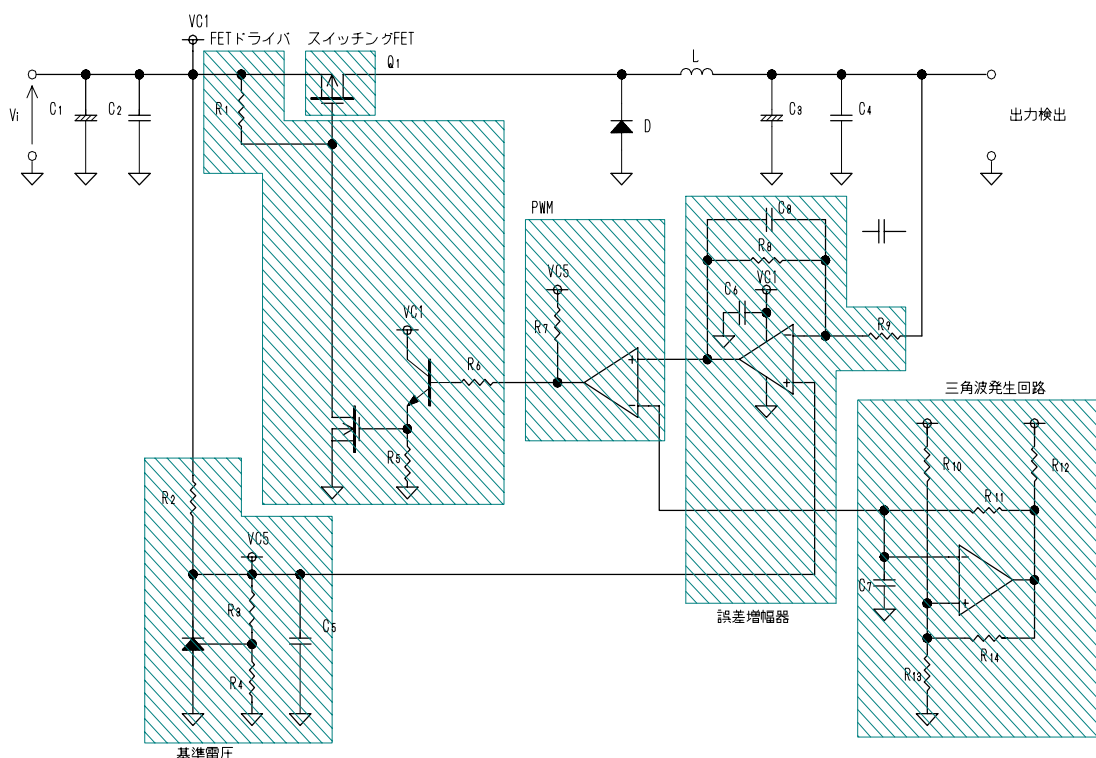


図7-15 降圧形DCDCコンバータ

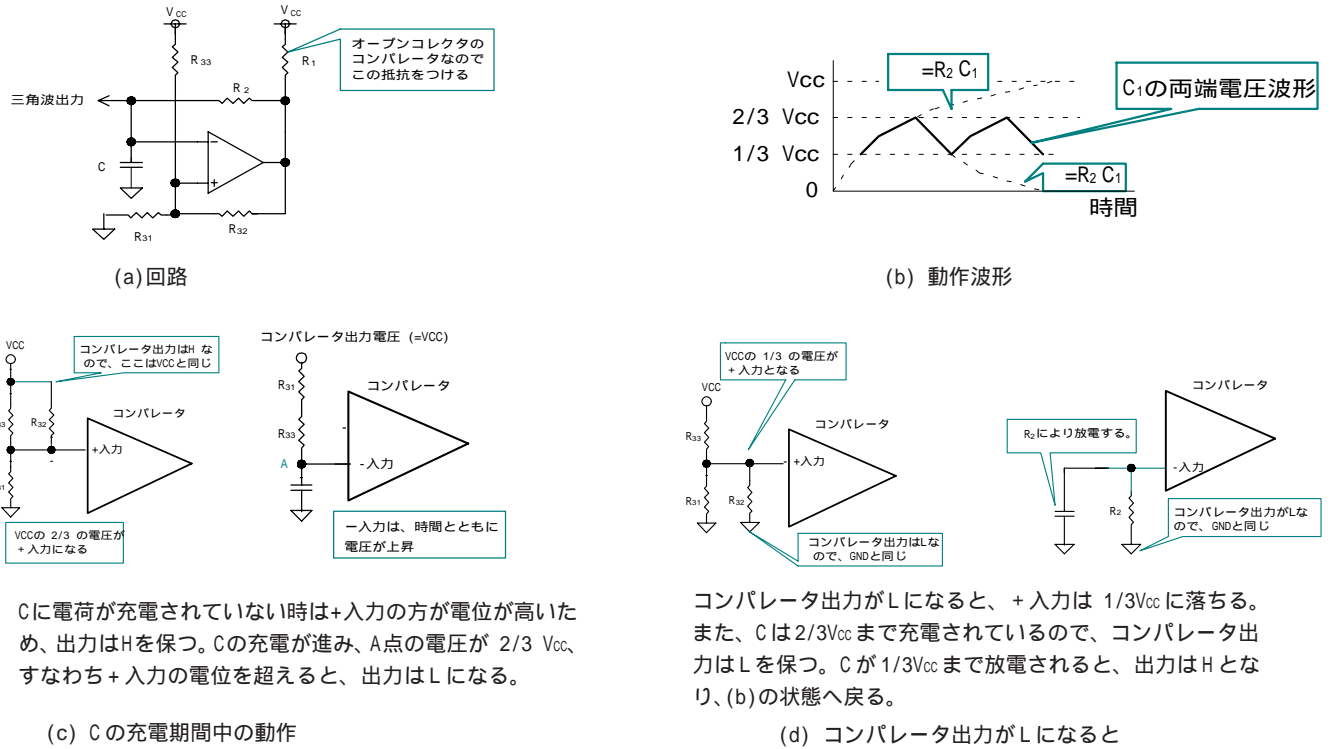


図7-16 三角波発生回路の原理

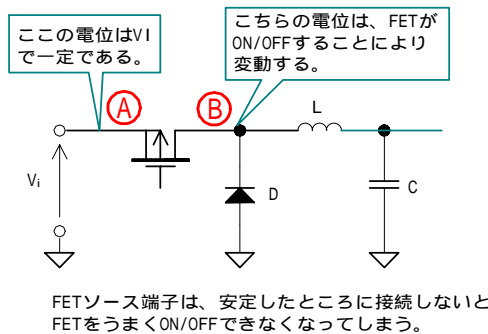
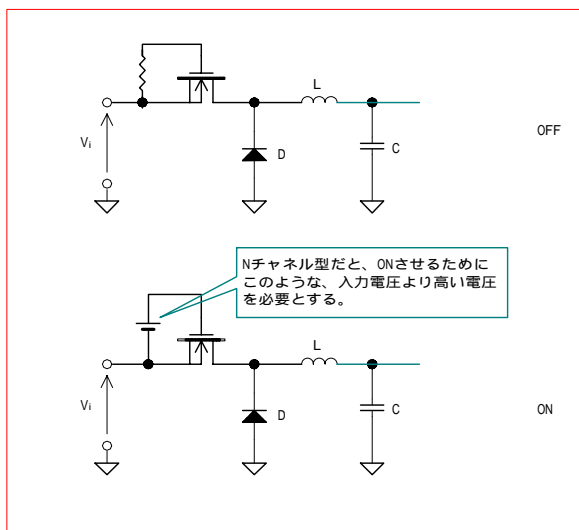
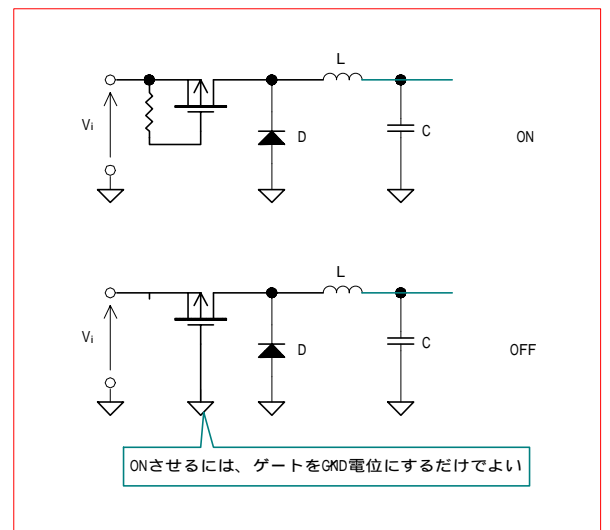


図7-17 ソース・ドレインはそれぞれどちらにつなぐか。



FETの構造上、Nチャンネルのほうが特性の良い素子で作れるので、最近ではNチャンネルを用いるこの方式も良く用いられている。

(a) Nチャンネルを用いる場合



Pチャンネルを用いると、ドライブのための特別な電源を必要とせず、FETのON/OFFが可能

(b) Pチャンネルを用いる場合

図7-18 スwitchングFETに、Pチャンネル・Nチャンネルのどちらを使うか



ら、発振周波数はC, R<sub>2</sub>の時間定数で決まるということがわかるとおもいます。

### 2) スwitchング部

スイッチとしてFETを用いていますが、FETにはP型、N型がありました。まずは、このどちらを使うかを考えてみましょう。

FETをスイッチとして用いる場合、ソース電圧に対しゲート電圧がどのくらいになったかでON/OFFが決まります。したがって、ソース端子は既知の安定した電位のところにつながなければなりません。図7-17のA,Bにおいて、BはスイッチのON/OFFにより電位が変わってしまいますから、ここにソース端子を持つことはできません。それに対しAは入力電圧V<sub>i</sub>で一定になっているため、ここにソース端子をつなげば、V<sub>i</sub>に対しゲート電圧高くする、低くするなどによりFETのON/OFF動作をさせることができます。では、Nチャネル、PチャネルのどちらのFETを使うのかを考えてみましょう。

NチャネルFETを用いる場合、OFF動作をさせるためにはゲート電位とソース電位を同じにすればよいのですが、ON動作せるときがちょっと問題になります。NチャネルFETをONさせるためには、ソースよりもゲート電位を高くしなければならないため、新たに入力電圧V<sub>i</sub>よりも高い電圧を発生させる回路が必要になってしまうのです。FETの構造上、NチャネルFETの方が、ON特性やスイッチング特性などが良いものを作りやすいため、ドライブのための特別な電源が必要になるものの、特性の良い回路を作りたいという場合にこの回路を用います。最近では、NチャネルFETを用いることを前提に、このドライブのための外部電源も内蔵させてしまったスイッチング電源用コントロールICも出ています。

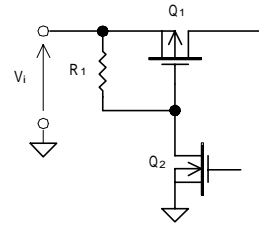
次に、PチャネルFETを用いる場合を考えてみましょう。この場合、FETをONさせるためにはゲート電位をソース電位より低くしてあげればよいのです。つまり図7-18のように、ゲートをGNDにしてあげればよいわけです。これなら高い電圧を発生させるための回路は不要になります。もちろんOFFするときはNチャネルFETと同じく、ゲート電位とソース電位を等しくすればよいのです。

ここでは、回路が簡単に済むPチャネルFETを用います。

### 3) FETドライブ回路

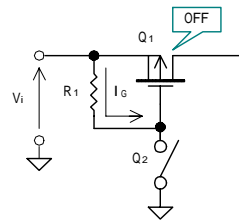
ではつぎに、ゲートを入力電圧(ソース端子)と等しくしたり、GNDにしたりするにはどうしたらよいのかを考えてみましょう。この回路を図7-19(a)に示します。この回路は、TR<sub>2</sub>がONすると、同図(b)のようにTR<sub>1</sub>はGND電位になり、TR<sub>1</sub>がONします。また、TR<sub>2</sub>がOFFすると同図(c)のようにTR<sub>1</sub>のゲートにR<sub>1</sub>を通じてゲート電流が流れ込み、ゲート電位がV<sub>IN</sub>まで引き上げられTR<sub>1</sub>はOFFします。

この回路は、スイッチング用FETをONにさせると、R<sub>1</sub>にV<sub>i</sub>/R<sub>1</sub>の電流が流れ、損失が発生します。この損失を抑えるには、R<sub>1</sub>を大きくすれば良いのですが、そうすると、スイッチング用FETQ<sub>1</sub>がオフするとき、ただらとオフするようになり、スイッチング損失(スイッチング損失については、コラムを参照してください)が増える結果になります。スイッチング損失を減らすためには、R<sub>1</sub>を小さくし、スイッチングFETへのゲート電流を増やしてあげればよいのですが、そうするとドライブFETがONしているときのR<sub>1</sub>による損失が



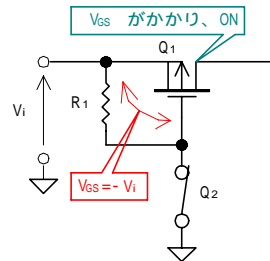
(a) FETドライブ回路

I<sub>G</sub>がゲートへ流れ込み、V<sub>GS</sub>=0Vとなり、FETはOFF



(b) ドライブFET OFFがのとき

R<sub>1</sub>が大きいと、I<sub>G</sub>が少なくなり、すぐにV<sub>GS</sub>=0Vとならない。そのため、FETのターンオフ時間がかかり、スイッチングロスが増えてしまう。

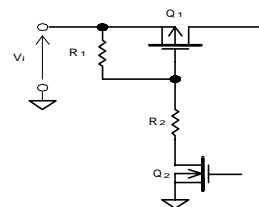


V<sub>GS</sub>=-V<sub>i</sub>となり、FETはON

FETがONの間、R<sub>1</sub>にも電流が流れつづける。またR<sub>1</sub>が結構小さい値を用いるので、このR<sub>1</sub>による損失は大きくなってしまふ。

(c) ドライブFETがONのとき

図7-19 FETドライブ回路の動作



Q<sub>1</sub> ON時におけるQ<sub>1</sub>のV<sub>GS</sub>を低くし、ON時にQ<sub>1</sub>のゲートにチャージされる電荷を少なくすることで、ターンオフを速やかに進めるようにしたもの。

ただし、V<sub>GS</sub>を低くするため、ON抵抗が増加する、R<sub>2</sub>により、ターンON特性が悪くなるという欠点もがでてしまう。

図7-20 ターンOFF特性を良くした回路

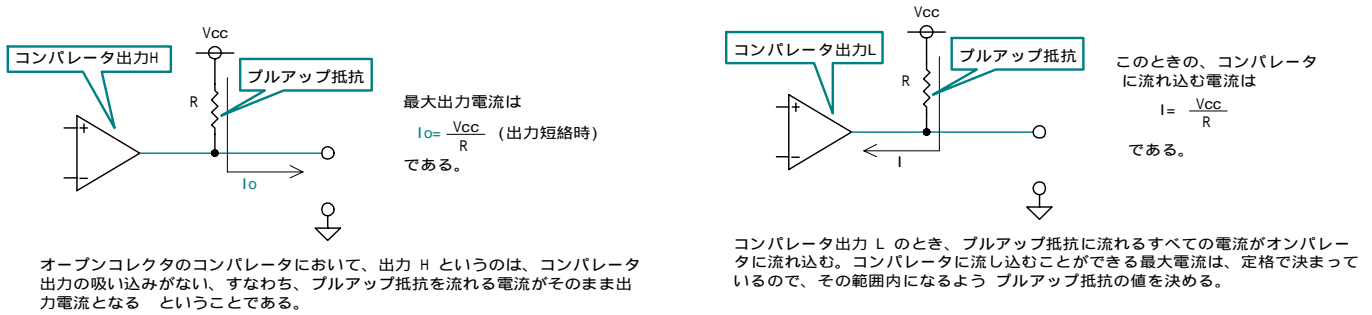


図 7-21 コンパレータの最大出力電流

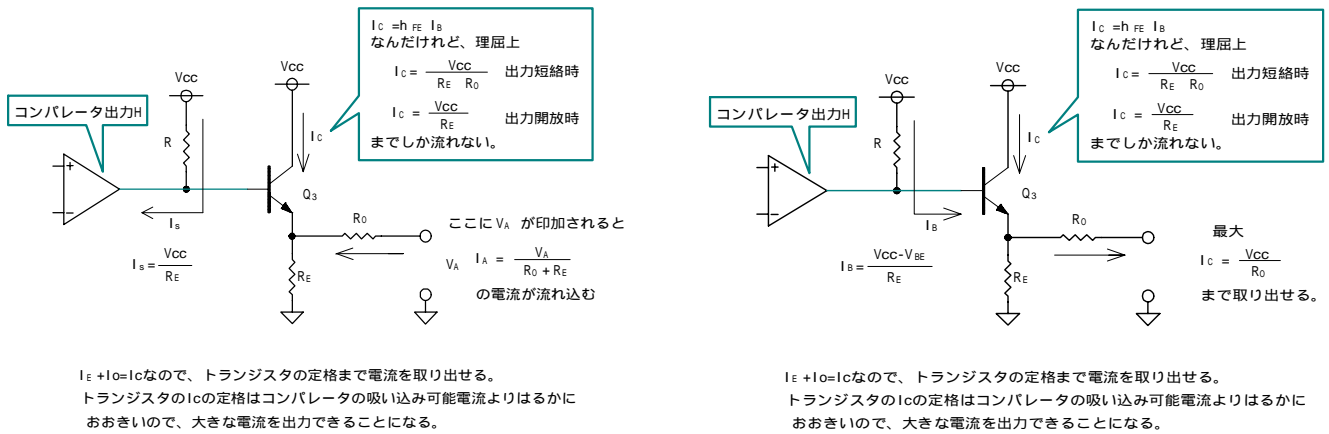


図 7-22 コンパレータの最大出力電流

大きくなってしまいます。このように、この回路はあちらを立てればこちらがたたずという回路で、効率を良くすることができません。ただ、この回路はFETを駆動するときのようなことに注意すべきかを学ぶには良い回路なので採用してみました。

なお、図 7-20 のように  $Q_1$  を ON させるための  $V_{GS}$  を小さくすることで、ターンオフ特性を良くすることができます。これは、ON 時の  $V_{GS}$  を低くすることで、ゲートに蓄えられる電荷が抑えられますから、ターン OFF させるときのゲートチャージ量を減らすことができ、結果としてターン OFF 特性が改善されるのです。ただし、 $V_{GS}$  を低くしますから、ON 時の ON 抵抗が大きくなるのと、ターン ON 時間が  $R_2$  のため増加するという欠点もあります。

こうして、 $Q_2$  を ON/OFF させることにより、 $Q_1$  を ON/OFF させることができることがわかりました。次に、 $Q_3$  の役割について考えてみましょう。コラムで述べたとおり、FET を駆動するためには、瞬間的に大きな電流をゲートに流し込んだり、出したりしてあげなければなりません。PWM の出力となるコンパレータは、図 7-21 のように大きな出力電流を取り出したり吸い込んだりすることができませんので、図 7-22 のように  $Q_3$  のエミッタフォロアにより電流増幅して  $Q_2$  をドライブしています。

#### 4) 基準電圧発生回路

3章で取り上げた、シャントレギュレータを用いた基準電圧発生回路です。12V から安定した 5V を作っています。この 5V はリファレンスのほかに、PWM 回路などの電源としても用いています。リファレンス用ですから、あまり大きな電

流を取り出さないよう注意します。

#### 5) 誤差増幅器

単電源で動作するオペアンプを用いた、誤差増幅器です。増幅度は  $R_8, R_9$  で決まります。

リファレンス 5V と比較して、その誤差を増幅するわけですから、少なくともこのオペアンプの電源は 5V 以上なければなりません。ですから、ここでは DCDC コンバータの入力電圧である 12V を、このオペアンプの電源として用いています。これは、入力する 12V が安定した電源であることが前提で、もし入力 12V の質が悪いとわかっている場合は、オペアンプ用に、安定化電源を用意しておく必要があります。このように、内部回路を働かせるための電源のことをサブ電源といいます。

こうして、必要な役者がそろいました。では、この回路を用いて設計を行ってみたいことにいたしましょう。

#### 7-7 降圧コンバータを作ってみよう 設計編

以下の仕様のもを実際に設計して動作させてみることにします。なお、簡単に考えられるよう入力電圧は一定とします。

最大出力電流	2A
最小出力電流	0A
出力電圧	5V
入力電圧	12V
スイッチング周波数	100kHz

最大出力電流は、余裕をみて、2.5A で設計します。

ところで、最初に述べたとおり、遅れ位相保証しかしていませんから、設計をしていくうち、どうしても無理が出てきて、どうして遅れ位相保証だけではダメなのかということがわかってくると思います。

1)LC 回路

・L の決定

まず、L の値を決めます。L の値は、DCDC コンバータの最大出力電流におけるL に流す電流振幅と、最小出力電流の二つの条件から決定します。まず、L に流す電流振幅から見ていきましょう。

入力電圧 12V, 出力電圧 5V、そして最大出力電流を取り出しているときは連続モードになっていますから、 $T_{ON}, T_{OFF}, V_I, V_O$  の関係は式(7-1)

$$V_O = \frac{T_{ON}}{T_{ON} + T_{OFF}} V_I$$

で表されます。ここに、 $T_{ON} + T_{OFF}$  は

$$T_{ON} + T_{OFF} = T = \frac{1}{f} = \frac{1}{100kHz} = 10\mu s$$

ですから、 $T_{ON}, T_{OFF}$  は

$$T_{ON} = \frac{V_O}{V_I} \times (T_{ON} + T_{OFF}) = \frac{5V}{12V} \times 10\mu s = 4.17\mu s$$

$$T_{OFF} = T - T_{ON} = 10\mu s - 4.17\mu s = 5.83\mu s$$

最大出力電流 ( $I_{max}$ ) の時、L に流れる電流振幅は、図 7-5 から、

$$di = \frac{V_I - V_O}{L} dt = \frac{V_I - V_O}{L} T_{ON}$$

です。この  $di$  が最大出力電流  $I_{max}$  の 50% となるよう L の値を決めてあげればよく

$$L = \frac{V_I - V_O}{di} T_{ON} = \frac{V_I - V_O}{\frac{I_{max}}{2}} T_{ON} = \frac{12V - 5V}{\frac{2.5A}{2}} 4.17\mu s = 23.4\mu H$$

L はこの値以上であれば、L に流れる電流振幅が  $I_{max}$  の 50% 以下になってくれます。これで L を決めるひとつの条件ができました。次に、不連続モードへ移る電流値をいくりにするかという観点からインダクタの値を求めます。

出力電流が少なくなったと、先に述べたとおり、連続モードと同じ Duty 比で負荷にエネルギーを供給すると供給過剰になってしまうため、Duty 比を落とすようになります。そして、臨界電流を大きく設定するほど、不連

続モードにおいて Duty 比を落とさなければなりません。これは、狭いパルス幅でも、正確に PWM をかけられる PWM 回路と、この狭いパルスでも正しく動作するスイッチング素子を用いなければならないということになります。こうして、あまり臨界電流を大きくしてしまうと、回路の実現が難しくなってきてしまいます。では、実際にこの臨界電流はどうやって求めるのでしょうか。ここでは、無負荷状態になっても、ある程度の Duty 比を維持することを条件に求めることにします。

最小負荷電流は 0A としていますから、負荷をつながなくても最低限の負荷電流がコンバータ内で流れるよう抵抗をつけます。この抵抗をブリーダ抵抗といいます。いま、このブリーダ抵抗に流す最小電流を  $I_{min}$  とし、不連続モードにおける最小 Duty 比を 10% としましょう。今回試作するコンバータの FET ドライブ回路は、高速スイッチングに不向きであるため、あまり Duty 比を下げることができないことからこの値にしました。

いま、ブリーダ抵抗に流す電流をとりあえず 5mA とし、必要なインダクタの値を求めてみます。Duty=10% ですから、 $T_{ON}=1\mu s$  となりますので、式(7-2)を L= の式に変形して

$$L = \frac{(V_I^2 - V_O V_I) T_{ON}^2}{2 V_O I_O T} = \frac{((12V)^2 - 5V \times 12V)(1\mu s)^2}{2 \times 5V \times 5mA \times 10\mu s} = 168\mu H$$

したがって、このぐらいの値のインダクタを探せばいいわけです。もちろん厳密に 168uH のインダクタを探さなければならないというわけではありません。入手できるインダクタに応じて、ブリーダ電流を変えてあげたり、Duty をもう少し小さい値まで許すなどして設計を変えてあげればいいわけです。いまインダクタとして、TDK の SF-T10-50 を用いることにします。インダクタの値が 110uH とやや少なめですので、無負荷時の Duty 比がさらに狭まることになります。どのくらいになるのかを計算してみましょう。式(7-2)を  $T_{ON}=$  の式に変形して

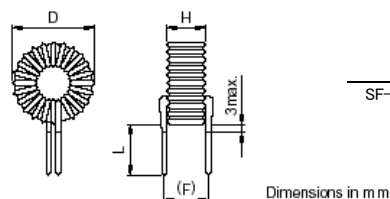
$$T_{ON} = \sqrt{\frac{2 V_O I_O L T}{V_I^2 - V_O V_I}} = \sqrt{\frac{2 \times 5 \times 5mA \times 110\mu H \times 10\mu s}{(12V)^2 - 5V \times 12V}} = 0.809\mu s$$

よって、Duty 比は 8% 程度になります。とくに問題ないと思うので、ブリーダ電流は増やさないことにします。

・C<sub>3</sub> の決定

降圧コンバータの出力電圧のリプルは、スイッチング周波数が低いコンバータでは LC の値が支配的に、スイッチング周波数が高いコンバータではコンデンサの ESR の

形状・寸法／電気的特性



品名	定格電流 (A)max.	インダクタンス (uH)min	直流抵抗 (mΩ)max.	使用コア形状名	巻線線径 φ (mm)	寸法 (mm)			質量 (g)	
						Dmax	Hmax	L	(F)	
SF-T10-50	3	110	70	SF-T10	0.8	23	12.5	25±3	(10)	14

TDK のカタログより

図 7-23 使用するコイル

値が支配的になります。スイッチング周波数が100kHz以上のコンバータでは、後者にあたり、C1の決定にはESRを意識する必要があります。ESRと出力リップルの関係は

$$V_{ripple} = ESR \times di \quad (7-7)$$

diは、図7-5のdiです。

で表されますから、

$$ESR = \frac{V_{ripple}}{di} = \frac{100mV_{PP}}{1.25A} = 80m\Omega$$

のコンデンサを探してくればよいわけです。手持ちの都合上、日本ケミコンLXF35VB560を用いることにします。このコンデンサは、100kHz 20においてインピーダンス0.052です。電解コンデンサは、同じ耐電圧なら容量が高いほうが、同じ容量なら耐電圧が高いほうがESRがひくくなります。このC3の容量をむやみに大きくしすぎると、制御系の設計が難しくなりますから、ここでは耐圧の高いコンデンサを用いて、容量のわりにESRが低いコンデンサを選びました。

6) スwitching回路

・Q1の決定

実際に用いるFETとして、2SJ304を用います。とりあえず、手じかにあったジャンク電源についていたもので、定格を調べたら使えそうだったというのが理由です。では、このFETが本当に使えるかどうかを考えてみましょう。

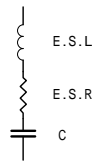
最大定格 (Ta = 25°C)

項目	記号	定格	単位
ドレイン・ソース間電圧	V <sub>DSS</sub>	-60	V
ドレイン・ゲート間電圧 (R <sub>GS</sub> =20kΩ)	V <sub>DGR</sub>	-60	V
ゲート・ソース間電圧	V <sub>GSS</sub>	±20	V
ドレイン電流	DC	I <sub>D</sub>	-14 A
	パルス	I <sub>DP</sub>	-56 A
許容損失 (T <sub>c</sub> = 25°C)	P <sub>D</sub>	40	W
チャネル温度	T <sub>ch</sub>	150	°C
保存温度	T <sub>stg</sub>	-55~150	°C

電気的特性 (Ta = 25°C)

項目	記号	測定条件	最小	標準	最大	単位
ゲート漏れ電流	I <sub>GSS</sub>	V <sub>GS</sub> = ±16V, V <sub>DS</sub> = 0V	—	—	±10	μA
ドレインシャ断電流	I <sub>DSS</sub>	V <sub>DS</sub> = -60V, V <sub>GS</sub> = 0V	—	—	-100	μA
ドレイン・ソース間降伏電圧	V(BR) <sub>DSS</sub>	I <sub>D</sub> = -10mA, V <sub>GS</sub> = 0V	-60	—	—	V
ゲートしきい値電圧	V <sub>th</sub>	V <sub>DS</sub> = -10V, I <sub>D</sub> = -1mA	-0.8	—	-2.0	V
ドレイン・ソース間オン抵抗	R <sub>DS(ON)</sub>	V <sub>GS</sub> = -4V, I <sub>D</sub> = -5A	—	130	190	mΩ
		V <sub>GS</sub> = -10V, I <sub>D</sub> = -7A	—	80	120	
順方向伝達アドミタンス	Y <sub>fs</sub>	V <sub>DS</sub> = -10V, I <sub>D</sub> = -7A	5.0	8.0	—	S
入力容量	C <sub>iss</sub>	V <sub>DS</sub> = -10V, V <sub>GS</sub> = 0V, f = 1MHz	—	1200	—	pF
帰還容量	C <sub>rss</sub>		—	220	—	
出力容量	C <sub>oss</sub>		—	550	—	
スイッチング時間	上昇時間	t <sub>r</sub>	—	20	—	ns
	ターンオン時間	t <sub>on</sub>	—	30	—	
	下降時間	t <sub>f</sub>	—	25	—	
	ターンオフ時間	t <sub>off</sub>	—	100	—	
ゲート入力電荷量	Q <sub>g</sub>	V <sub>D</sub> = -48V, V <sub>GS</sub> = -10V, I <sub>D</sub> = -14A	—	45	—	nC
ゲート・ソース間電荷量	Q <sub>gs</sub>		—	30	—	
ゲート・ドレイン間電荷量	Q <sub>gd</sub>		—	15	—	

図7-25 2SJ304の特性



コンデンサは、簡易的に、直列等価インダクタ E.S.L、直列等価抵抗 E.S.R、純コンデンサ C の直列回路で表すことができる。

図7-24 コンデンサの簡易等価回路

ドレイン・ソース間電圧

ドレイン・ソース間にかかる最大電圧は、原理的にV<sub>IN</sub>である12までしかかかりません。FETのV<sub>DS(max)</sub>は60Vですから十分です。

ドレイン・ゲート間電圧

ドレイン・ゲート間にかかる最大電圧も、V<sub>IN</sub>が最大となります。FETのV<sub>GS(max)</sub>は20Vですから問題ありません。

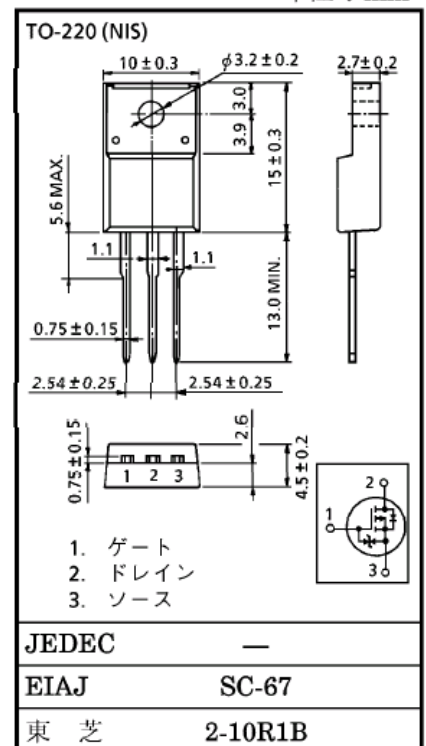
ドレイン電流

ドレインに流れる電流を大雑把に計算してみましょう。最大出力のときの入力電流を求め、Duty比からドレイン電流を概算します。最大出力電力は

$$P_{O(max)} = V_o \times I_o = 5V \times 2.5A = 12.5W$$

ここで効率を80%とすれば、入力電力は

単位 : mm



JEDEC	—
EIAJ	SC-67
東芝	2-10R1B

$$P_{i(\max)} = \frac{P_{O(\max)}}{\eta} = \frac{12.5W}{0.8} = 15.6W$$

よって、最大入力電流は

$$I_{AVE} = \frac{P_{I(\max)}}{V_I} = \frac{15.6W}{12V} = 1.3A$$

この電流は、平均してです。実際には、42%のDuty比でON/OFFしており、ONのときのみ入力からLC回路へ電力が供給されるわけですから、ONのときに

$$I_{I(\max)} = I_{AVE} \times \frac{1}{Duty} = 1.3A \times \frac{1}{0.42} = 3.1A$$

電流がドレインを通じてLC回路へ流れ込むことになります。FETのドレイン最大定格は連続で14A、パルスで56Aですから、十分すぎるほどに余裕があります。

許容損失

効率80%と考えると、電源全体の損失は

$$P_{LOSS} = P_I - P_O = 15.6W - 12.5W = 3.1W$$

とりあえず、損失の全てがスイッチングFETで発生していると考えても、FETの許容損失は40Wですから、大きな放熱器をつけていると仮定すれば、十分余裕があります。

スイッチング時間

スイッチング周波数を100kHzとしていますから、

その周期は

$$T = \frac{1}{f} = \frac{1}{100kHz} = 10\mu s$$

使用するFETのスイッチング時間は、この値に対し100倍程度早いので、まず問題ないと思います。

オン抵抗

FETのオン抵抗はmax120m と、まあまあ小さい値です。この抵抗値はそのまま損失につながりますから小さいほうが良いのです。

入力容量

FETのコラムのところでも述べていますが、この値からゲートドライブ回路に必要な駆動能力が決まります。今回の回路は、ゲート駆動能力が極めて悪い回路ですので、FETのスイッチング特性をまったく生かしていない回路になります。これは、あとの評価の項目で目の当たりとなります。

・R1の決定

Q1がTurnOFFするには、Q1がONしているときに蓄えられた負のゲート電荷Q<sub>g1</sub>を、抵抗R1によってゲートに電流を流し込むことで消失させてあげます。ここで、R1の値が大きいとQ1に蓄えられたゲート電荷を消失させる時間がかかってしまうため、Q1のTurnOFF特性が悪化し、Q1におけるスイッチング損失が増加します。しかし、Q1がONしている時間の間、この抵抗にはV<sub>i</sub>/R<sub>1</sub>の電流が流れてしまいますから、R1を小さくしすぎるとR1による損

最大定格 (Ta = 25°C)

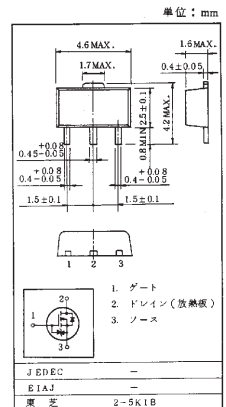
項目	記号	規格	単位
ドレイン・ソース間電圧	V <sub>DSS</sub>	100	V
ドレイン・ゲート間電圧 (R <sub>GS</sub> =20kΩ)	V <sub>DGR</sub>	100	V
ゲート・ソース間電圧	V <sub>GSS</sub>	±20	V
ドレイン電流	DC	I <sub>D</sub>	0.6
	パルス	I <sub>DP</sub>	1.8
許容損失 (Ta=25°C)	P <sub>D</sub>	0.5	W
許容損失	P <sub>D</sub> (総)	1.0	W
チャンネル温度	T <sub>ch</sub>	150	°C
保存温度	T <sub>stg</sub>	-55~150	°C

注：250mm<sup>2</sup>×0.8tセグメント基板実装時

図7-26 2SK1079の特性

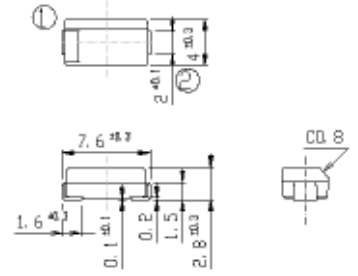
電気的特性 (Ta = 25°C)

項目	記号	測定条件	最小	標準	最大	単位	
ゲート漏れ電流	I <sub>GSS</sub>	V <sub>GS</sub> =±16V, V <sub>DS</sub> =0V	-	-	±3	μA	
ドレインしき断電流	I <sub>DSS</sub>	V <sub>DS</sub> =100V, V <sub>GS</sub> =0V	-	-	100	μA	
ドレイン・ソース間降伏電圧	V <sub>(BR)DSS</sub>	I <sub>D</sub> =10mA, V <sub>GS</sub> =0V	100	-	-	V	
ゲートしきい値電圧	V <sub>th</sub>	V <sub>DS</sub> =10V, I <sub>D</sub> =1mA	0.8	-	2.0	V	
ドレインオン電流	I <sub>D(ON)</sub>	V <sub>DS</sub> =4V, V <sub>GS</sub> =4V	0.6	-	-	A	
ドレイン・ソース間オン抵抗	R <sub>DS(ON)</sub>	V <sub>GS</sub> =4V, I <sub>D</sub> =0.3A	-	1.2	1.8	Ω	
		V <sub>GS</sub> =10V, I <sub>D</sub> =0.3A	-	0.95	1.3		
順方向伝達アドミタンス	Y <sub>fs</sub>	V <sub>DS</sub> =10V, I <sub>D</sub> =0.3A	0.40	0.65	-	S	
入力容量	C <sub>iss</sub>	V <sub>DS</sub> =10V, V <sub>GS</sub> =0V f=1MHz	-	85	130	pF	
帰還容量	C <sub>rss</sub>		-	15	35		
出力容量	C <sub>oss</sub>		-	40	65		
スイッチング時間	上昇時間	t <sub>r</sub>		-	4	15	ns
	ターンオン時間	t <sub>on</sub>		-	9	25	
	下降時間	t <sub>f</sub>		-	3.0	7.0	
	ターンオフ時間	t <sub>off</sub>		-	7.5	16.0	
ゲート入力電荷量	Q <sub>g</sub>	V <sub>DD</sub> ≠80V, V <sub>GS</sub> =10V I <sub>D</sub> =0.6A	-	3.6	7.2	nC	
ゲート・ソース間電荷量	Q <sub>gs</sub>		-	2.3	-		
ゲート・ドレイン間電荷量	Q <sub>gd</sub>		-	1.3	-		



●絶対最大定格 Absolute Maximum Ratings (指定のない場合は、Tj=25°C)

項目 Item	記号 Symbol	条件 Conditions	規格値 Ratings	単位 Unit
保存温度 Storage Temperature	Tstg		-55~150	°C
接合部温度 Operating Junction Temperature	Tj		150	°C
ゼン順逆電圧 Maximum Reverse Voltage	V <sub>RM</sub>		40	V
繰り返しゼン順サージ逆電圧 Repetitive Peak Surge Reverse Voltage	V <sub>RSRM</sub>	パルス幅0.5μs, duty 1/40 Pulse width 0.5μs, duty 1/40	45	V
出力電流 Average Rectified Forward Current	I <sub>o</sub>	50Hz 正弦波, 抵抗負荷 Tj=94°C アルミナ基板実装 50Hz sine wave, R-load, Tj=94°C On alumina substrate	2.6	A
		50Hz 正弦波, 抵抗負荷 Tj=30°C フリント基板実装 50Hz sine wave, R-load, Tj=30°C On glass-epoxy substrate	1.9	A
ゼン順サージ順電流 Peak Surge Forward Current	I <sub>FSM</sub>	50Hz 正弦波, 非線形負荷 19°イタルセル実装, Tj=125°C 50Hz sine wave, Non-linear load, 19°ital cell, Tj=125°C	150	A
繰り返しゼン順サージ逆電力 Repetitive Peak Surge Reverse Power	P <sub>RSRM</sub>	パルス幅10μs, Tj=25°C Pulse width 10μs, Tj=25°C	330	W



●電気的・熱的特性 Electrical Characteristics (指定のない場合は、Tj=25°C)

項目 Item	記号 Symbol	条件 Conditions	規格値 Ratings	単位 Unit
順電圧 Forward Voltage	V <sub>F</sub>	I <sub>F</sub> =2.6A, パルス測定 I <sub>F</sub> =2.6A, Pulse measurement	Max.0.45	V
逆電流 Reverse Current	I <sub>R</sub>	V <sub>R</sub> =VRM, パルス測定 V <sub>R</sub> =VRM, Pulse measurement	Max.5	mA
接合容量 Junction Capacitance	C <sub>J</sub>	f=1MHz, V <sub>R</sub> =10V	Typ.340	pF
熱抵抗 Thermal Resistance	θ <sub>JL</sub>	接合部・リード間 junction to lead	Max.23	°C/W
	θ <sub>JA</sub>	接合部・周囲間 アルミナ基板実装 junction to ambient, On alumina substrate	Max.80	
		接合部・周囲間 フリント基板実装 junction to ambient, On glass-epoxy substrate	Max.115	

図 7-27 D3FS4 の特性

失が大きくなってしまいます。このように、R<sub>1</sub> が大きいとスイッチング損失が増える、R<sub>1</sub> が小さいと R<sub>1</sub> による損失が増えるという大変厄介な回路であることはすでに述べました。ここではそのトレードオフを考え、ちょうど良い R<sub>1</sub> の値を模索してみましょう。こうすることで、FET をドライブするときの注意点がわかってくると思います。

まず、FET のスイッチング性能を最大限に出すためには、R<sub>1</sub> をいくらにすればいいかを考えてみます。この FET がもつ TurnOFF 時間の性能は、データブック(図 7-25)より 100ns です。FET のゲート入力電荷量は Q<sub>g</sub>=45nC ですから

$$i = \frac{q}{t} = \frac{45nC}{100ns} = 0.45A$$

の電流を流し込めば、t<sub>off</sub>=100ns の性能を出せることになります。

Q<sub>1</sub> がオフするとき、Q<sub>1</sub> のゲートに 0.45A 流し込むためには

$$R = \frac{V_{R1}}{i} = \frac{12V}{0.45A} = 26.6\Omega$$

にすればよいことになります。しかし、この抵抗の値をそのまま使ってしまうと、R<sub>1</sub> による電力損失は、

$$P_{R1} = \frac{V_{R1}^2}{R_1} \times Duty = \frac{12^2}{22.6} \times \frac{4.17\mu s}{10\mu s} = 2.65W$$

と大変大きなものになります。そこで、スイッチング特性を犠牲にして、抵抗をもっと大きい値にします。R<sub>1</sub> における損失を 0.2W に抑えたとすると(この 0.2W という値の根拠は、許容損失 0.25W の抵抗 1 本で済ませたかったということから)

$$R_1 = \frac{V^2}{P_{R1}} \times Duty = \frac{12^2}{0.2} \times \frac{4.17\mu s}{10\mu s} = 300\Omega$$

よって、R<sub>1</sub>=330 を用いてみます。抵抗の値が、かなり大きくなりましたから、FET の TurnOFF 時間もかなり長

くなってしまっているはずですが。実際に計算して、実際に耐えられる程度のスイッチング時間になっているか確認してみましょう。

$$t = \frac{q}{i} = \frac{q}{V/R_1} = \frac{45nC}{12V/330\Omega} = 1.2\mu s$$

と、スイッチング周期の 10% 程度の値となり、ちょっと実用上問題ありそうな値です。まあ実験ですからこのまま用いてしましましょう。

・Q<sub>2</sub> の決定

Q<sub>2</sub> に用いる FET として 2SK1079 を用います。小電力 DCDC コンバータを作るときよく用いていたので、使い慣れているということが理由です。この部分はあまり電力を消費しませんから、FET の ON 抵抗が多少大きくても問題ありません。ただ、スイッチング周波数に見合うスイッチング特性をもった FET を用いなければなりません。

Av - f 特性

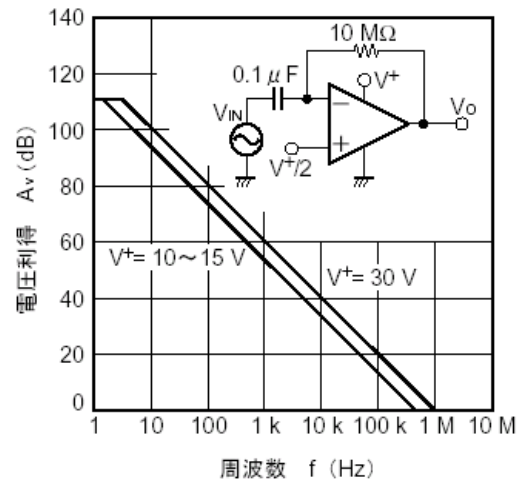


図 7-28 uPC358 の周波数特性

2SK1079 の特性を図 7-26 に示します。

・ Q<sub>3</sub> および R<sub>5</sub> の決定

また、この FET をドライブするトランジスタには、小信号汎用トランジスタの代表格である 2SC1815 を用います。エミッタホロア回路は周波数特性が良いので、小信号汎用トランジスタならだいたい使えます。

R<sub>5</sub> は、大きすぎると Q<sub>3</sub> のターンオフ時間が長くなってスイッチング損失が増えてしまい、逆に小さすぎるとこの抵抗による損失が増えてしまい、あちらをたてればこちらがたたずというところ。経験上、k オーダーでは大きすぎ、100 以下では小さすぎと感じていますので、間を取って 510 としました。あとは実測から、この抵抗の値のせいで効率が悪化していることがわかれば、それなりに変更すればよいのです。

なお、軽くターンオフ時間を計算してみますと

$$t_{off} = \frac{q}{I} = \frac{45nC}{\frac{12V}{510}} = 0.3\mu s$$

やや長めの時間となりましたが、まあよしとしましょう。

6) D<sub>1</sub> の決定

ここには、出力電流と同じくらいの電流が、設計で求めた Duty 比で流れます。この電流と、発振周波数から、それに見合う定格のダイオードを用います。選択するときの注意点として、できるだけ順方向電圧降下が低く、漏れ電流の少ないダイオードを用います。ここでは、ジャンク電源からひっぺがした新電元の D3FS4 を用います。このダイオードの特性を、図 7-2 に示します。

7) 誤差増幅器の設計

・ 素子の決定

ボード線図を考えると、この誤差増幅器の周波数特性・位相特性は理想的なものとして扱ってありました。しかし、実際のオペアンプは、このオペアンプは図 7-28 のように周波数が高くなると利得が落ちる（位相も回る）特性をもっています。設計を行うとわかってくるのですが、スイッチング電源において交差周波数は数 KHz 程度になります。ですから、使用するオペアンプの周波数特性は、だいたいこの周波数まで理想的であればよいのです。

以上の条件から、uPC358 を用いることにします。というより、このオペアンプは、私が単電源オペアンプの常備品としておいているもので、性能的に使えるということから選びました。

・ R<sub>8</sub>, R<sub>9</sub> の決定

この抵抗により誤差増幅器の増幅度を決めます。まずは、誤差増幅器にどれだけ増幅度を求めるのかから決定します。

電源の制御回路は、3 章で述べたとおり比例動作ですから、ループ利得 (= 出力検出回路利得 × 誤差増幅器利得 × 弁調整感度) が低いと、ループ利得がちょっと変

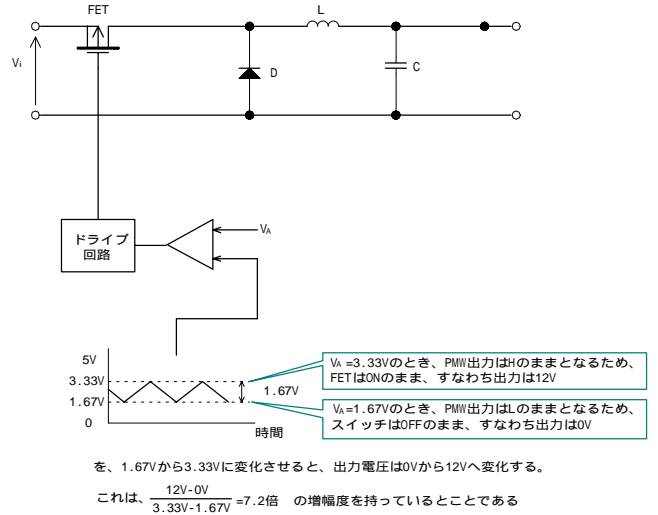


図 7-29 PWM から出力への増幅度

わただけで閉ループ利得(制御が働いているとき、基準電圧を V<sub>REF</sub>、出力電圧 V<sub>O</sub> としたときの V<sub>O</sub>/V<sub>REF</sub>)が変動してしまい、出力電圧が変動してしまうことになります。逆に、ループ利得が高ければ、多少ループ利得が変わろうと閉ループ利得は変動しないため、出力電圧も変動しません。言葉でいうと混乱しそうなので、実際に利得変動に対する出力変動を求めてみましょう。

ループ利得に対する出力電圧は式(3-?)で表されました。これから設計する回路において、V<sub>REF</sub>=5V, 出力電圧検出回路の利得は1[倍]ですから、ループ利得に対する出力電圧は

ループ利得	出力電圧
10dB(3.16 倍)	3.798V
20dB(10 倍)	4.545V
30dB(31.6 倍)	4.847V
40dB(100 倍)	4.950V
50dB(316 倍)	4.984V
60dB(1000 倍)	4.995V

となり、利得が高ければ高いほど 5V に近づきます。この結果から、最低でもループ利得を 40dB 確保しておけば、何らかの要因でループ利得があがっても、出力電圧は 5% 以上変動することはないということになります。なお、利得の変動理由として、PWM 入力から出力までの利得が、電流連続モードと電流不連続モードとで異なるということがあげられます。実際に計算をすると、電流不連続モードのほうが利得が高くなります。ですから、ループ利得を考えると、利得が低くなる電流連続モードのときを考えてあげれば最低利得を保証することができます。

先の計算結果から、電源のループ利得としておよそ 40dB 程度欲しいので、誤差増幅器以外の利得をまず求め、足りない分を誤差増幅器にて補うようにします。

a) 出力検出器 G<sub>s</sub>

出力電圧は、そのまま誤差増幅器に入るため、この部分において増幅・減衰はありません。したがって利得は 1 倍、すなわち 0[dB] です。

$$G_s=0[\text{dB}]$$

b) PWM 入力から出力までの利得  $G_k$

PWM への入力電圧を  $V_A$  変化させたとき、出力電圧がどれだけ変化するかです。図 7-29 に示すとおり PWM 回路の動作を考えれば、 $V_A=1.67\text{V}$  のとき出力電圧は  $0\text{V}$ 、 $V_A=3.33\text{V}$  のとき  $V_O=12\text{V}$  になりますから

$$K = \frac{\Delta V_O}{\Delta V_A} = \frac{12\text{V} - 0\text{V}}{3.33\text{V} - 1.67\text{V}} = 7.2$$

$$G_k = 20 \log_{10} K = 20 \log_{10} 7.2 = 17.1 \text{ (dB)}$$

$$G_{ER} = G_T - G_k - G_s = 40\text{dB} - 17\text{dB} - 0\text{dB} = 23\text{dB}$$

となります。23dB は 14 倍ですから、 $R_F=100\text{k}\Omega$  を使うとして

$$A_v = -\frac{R_F}{R_S}$$

より

$$R_S = \left| \frac{R_F}{A_v} \right| = \left| \frac{100\text{k}\Omega}{14} \right| = 7.14\text{k}\Omega$$

よって

$$R_9 = 6.8\text{k}\Omega$$

を使用します。

ここで、参考までに不連続モードにおける利得を計算してみましょう。電流不連続モードのとき、電流連続モードに比べてどの程度利得が上がるのでしょうか。不連続モードのときの出力電圧は式(7-2)で表されました。今一度この式をここにもってきます。

$$V_O = \frac{V_i^2 T_{ON}^2}{2I_O L(T_{ON} + T_{OFF}) + V_i T_{ON}^2}$$

$G_k$  は、PWM 入力電圧の変化  $V_{PWM}$  に対して、 $V_O$  がどれだけ変化するかです。まず、 $T_{ON}$  に対する  $V_O$  を考え、次にその  $T_{ON}$  は、どのくらいの  $V_{PWM}$  なのかを求め、そして  $V_O/V_{PWM}$  を最終的に求めることにします。

設計上、この DCDC コンバータは無負荷において  $5\text{mA}$  のブリーダ電流を流すようにしており、そのときの  $T_{ON}$  は  $0.809\mu\text{s}$  でした。  $0.809\mu\text{s}$  近辺における  $V_O/T_{ON}$  を計算(微分)するのは面倒なので、 $T_{ON}$  として、 $0.8\mu\text{s} \sim 0.82\mu\text{s}$  ( $0.02\mu\text{s}$ ) を代入し、そのときの  $V_O$  を求めてしまいます。

$T_{ON}=0.8\mu\text{s}$  のとき

$$V_O = \frac{(12\text{V})^2 \times (0.8\mu\text{s})^2}{2 \times 5\text{mA} \times 110\mu\text{H} \times 10\mu\text{s} + 12\text{V} \times (0.8\mu\text{s})^2} = 4.93362\text{V}$$

$T_{ON}=0.82\mu\text{s}$  のとき

$$V_O = \frac{(12\text{V})^2 \times (0.82\mu\text{s})^2}{2 \times 5\text{mA} \times 110\mu\text{H} \times 10\mu\text{s} + 12\text{V} \times (0.82\mu\text{s})^2} = 5.07769\text{V}$$

よって、 $0.02\mu\text{s}$  で  $0.1441\text{V}$  となりました。では、 $0.02\mu\text{s}$  変化させるための  $V_{PWM}$  は、今回使用した PWM 回路が、 $1.6667\text{V}$  で  $10\mu\text{s}$  変化するので比例計算か

ら

$$\Delta V_{PWM} = \frac{V_D}{T} \Delta T = \frac{1.66667\text{V}}{10\mu\text{s}} \times 0.02\mu\text{s} = 3.33\text{mV}$$

しかるに、利得は

$$G_k = \frac{\Delta V_O}{\Delta V_{PWM}} = \frac{0.1441\text{V}}{3.33\text{mV}} = 43 \quad (=32\text{dB})$$

となり、15dB ほど増加することになります。

ループ利得が、連続モードのとき 40dB、不連続モードで 55dB となったとき、このゲインの変化による出力電圧変動は、

$$\text{ループ利得 } 40\text{dB} \text{ のとき } V_O=4.950\text{V}$$

$$\text{ループ利得 } 55\text{dB} \text{ のとき } V_O=4.991\text{V}$$

と、およそ 0.8% 程度となります。

#### ・ $C_8$ の決定

$C_8$  は位相保証コンデンサで、遅れ位相保証、すなわち位相が  $180^\circ$  回ってしまう前に利得を落とすためのものです。 $C_8$  の役割を知るため、まずは  $C_8$  が無い場合のボード線図を考えてみます。ボード線図は、PWM 回路や LC 回路などの各要素の入出力周波数特性を求め、合成すれば求められます。

この DCDC コンバータは、出力電圧がそのまま誤差増幅器に入り、その出力が PWM 回路、LC 回路を通して出力となるという制御ループになっています。しかるに、誤差増幅器、PWM 回路、LC 回路という各要素の入出力周波数特性をもとめてそれを合成すれば全体のボード線図が得られますので、各要素の特性を考えていきましょう。

#### a) PWM 変換回路からスイッチング回路出力までの特性

PWM 変換回路からスイッチング用のドライブ回路、そしてスイッチング回路までの利得と位相特性を求めます。この部分の利得については、すでに誤差増幅器の増幅度を定めるところ ( $R_8, R_9$  の決定) の項目にてすでに求めていました。ここでは、この利得の周波数特性、そして位相特性を求めてみます。しかし、これらを計算で求めようとしても、そうそうできるものではありません。ここでは手取り早く実際に回路を作って実測にて求めてしまうことにしましょう。どうやるのかというと、PWM 回路の入力に、オフセット電圧を持った振幅  $V_i$  の交流を加え(すなわち制御ループに変動を与える)、その交流の振幅(変動)に対し、スイッチング回路出力がどう変動するかを測定するのです。ただ、スイッチング出力は断続的な直流になっていますから、そのままスイッチング出力回路の出力電圧をみても、振幅  $V_i$  に対し、出力がどう変動するかを見ることはできません(断続的な直流から、振幅  $V_i$  による変動部分のみをとりだすことができない)。結局 LC 回路で直流に直してから振幅  $V_i$  がどうなっているのかを見ることとなります。LC 回路を通れば断続的な直流は連続的な直流に変換されますから、直流と交流を分離してあげるだけでよいのです。この測定ですと、LC 回路の特性まで加味されてしまうのですが、LC 回路の特性さえ理解していれば、PWM 回路からスイッチング出力までの特性を逆算できますので問題はありません。

では、測定をしてみましょう。測定回路を図 7-30



に示します。PWM 入力にファンクションジェネレータ (FG) を接続し、FG 出力と LC 回路出力の波形をオシロスコープで観測します。まず、FG から直流電圧  $V_{OFFSET}$  を出力し、LC 回路出力が 5V 程度となるよう  $V_{OFFSET}$  調整します。電流連続モード・電流断続モードによって特性が変わりますから、電流連続モードの特性を測定するときは、電流連続モードとなるよう負荷抵抗をつけ、電流断続モードの特性を測定するときは電流断続モードとなるよう負荷抵抗をはずすか、軽負荷の抵抗をつけます。電流連続モードと電流断続モードの切り替わりは、式(7-3)、式(7-4)の条件式から求めることができます。実際に計算すると

$$I_o = \frac{V_o}{2L} T_{OFF} = \frac{5V}{2 \times 110\mu H} \times 5.83\mu s = 133mA$$

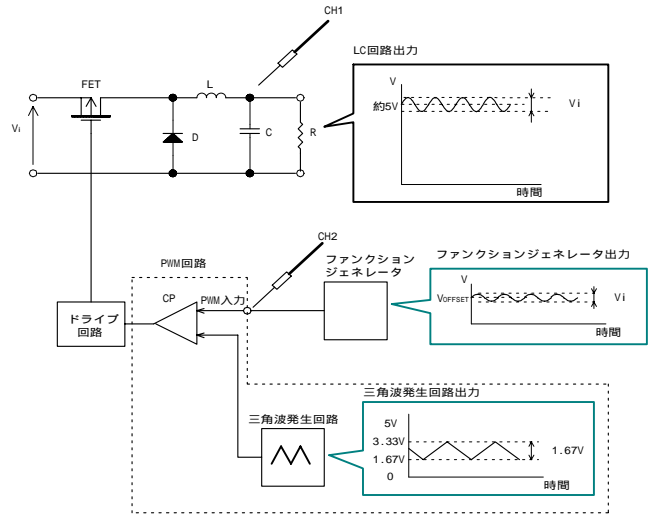
となります。よって、ここでは、電流連続モードを測定するときは 10 の負荷抵抗 ( $I_o=500mA$ ) を、電流断続モードの測定をするときは 220 ( $I_o=23mA$ ) の抵抗をつけることにします。もし電子負荷があれば、それを利用したほうが、いちいち負荷抵抗をモードによって計算したり、取り外したりする必要がないので楽かと思えます。

$V_{OFFSET}$  を調整して出力電圧が 5V、そして電流連続モード・電流断続モードどちらかになるよう負荷を調整したら、 $V_{OFFSET}$  に振幅 10mVpp ~ 50mVpp 程度 (綺麗な正弦波がちゃんと観測できるレベル。できるだけ小さい値がよい)、周波数は 50Hz の交流を重畳させます。このときの PWM 回路入力変動  $V_i$ 、LC 回路の出力変動  $V_o$  をオシロスコープで測定し、利得  $V_o/V_i$  を計算します。この測定結果を図 7-30(c) に示します。上の波形が PWM 入力で、下の波形が LC 回路の出力です。入力カップリングを AC にしていますから、オフセット電圧はカットされて見えませんが、実際には、入力には  $V_{OFFSET}$  が、出力には 5V の直流電圧が重畳されています。こうして入出力波形の観測結果から利得を計算します。入力 50 mVpp, 出力 247.82mVpp ですから、利得は 13.9dB となります。(Peak to Peak の値を用いていますが、Peak to Peak を測定するときはノイズに注意してください。この測定ではアベレージをかけることで、ノイズを除去しています)。今回、位相は、利得特性から推測しますので特に測定しませんでした。こうして 50Hz に対する利得を計算したら、周波数を変えて同様に利得を観測波形から求めます。こうして得られた周波数特性を図 7-30(c) に示します。

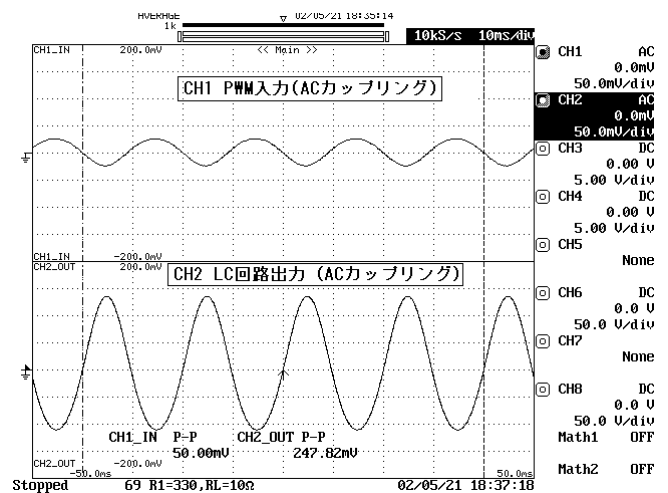
結果を見ると、連続モードでは計算値 17dB に対し 15dB とちょっと小さめながらもおよそ計算通りになっています。ただ不連続モードでは、低い周波数にて 40dB 程度と、計算値 32dB よりかなり高くなっています。位相については、周波数特性から想像できます。たとえば 20dB/DEC の利得特性をもつものは 6 章より伝達関数が 1 次の回路ですから、位相が 45° 回ったところから 1/5 倍、5 倍の周波数にそれぞれ折れ点が発生します。以上をまとめると

連続モードの場合

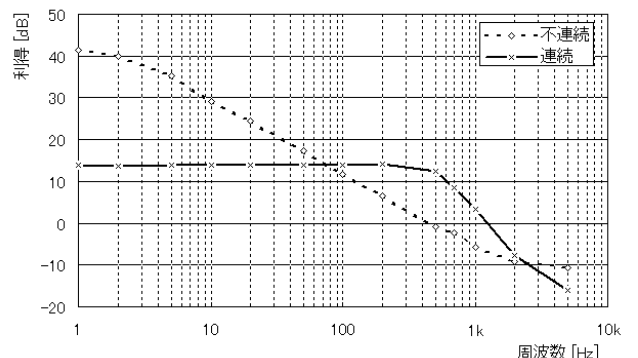
- ・利得は周波数に依存せずほぼ一定



(a)測定回路



(b)測定波形



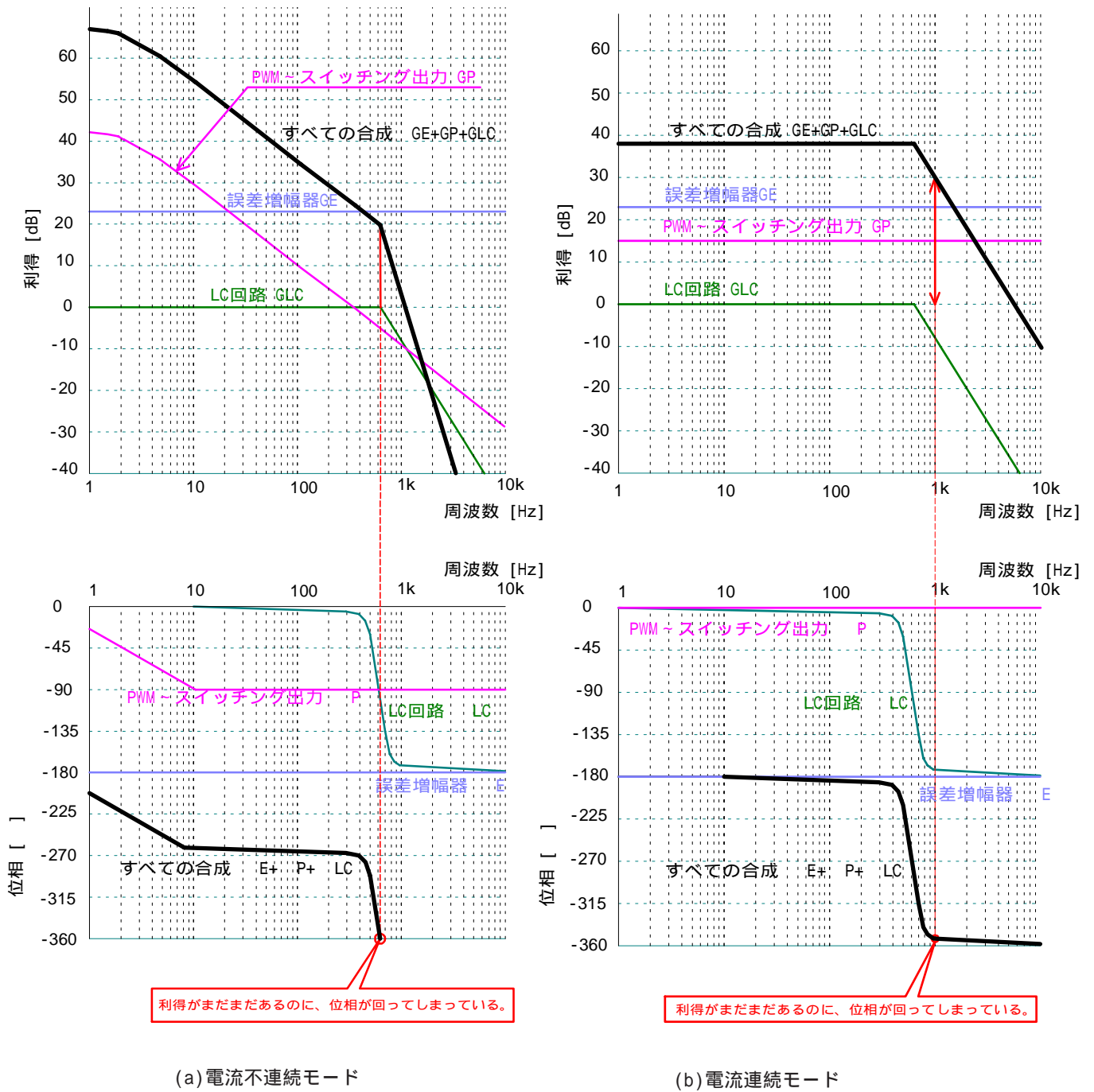
(c)測定結果

図 7-30 PWM 入力から LC 回路出力の利得特性の測定

- ・利得はだいたい計算値どおりになる
- ・利得の周波数特性は平坦であるので、位相特性も平坦となる。

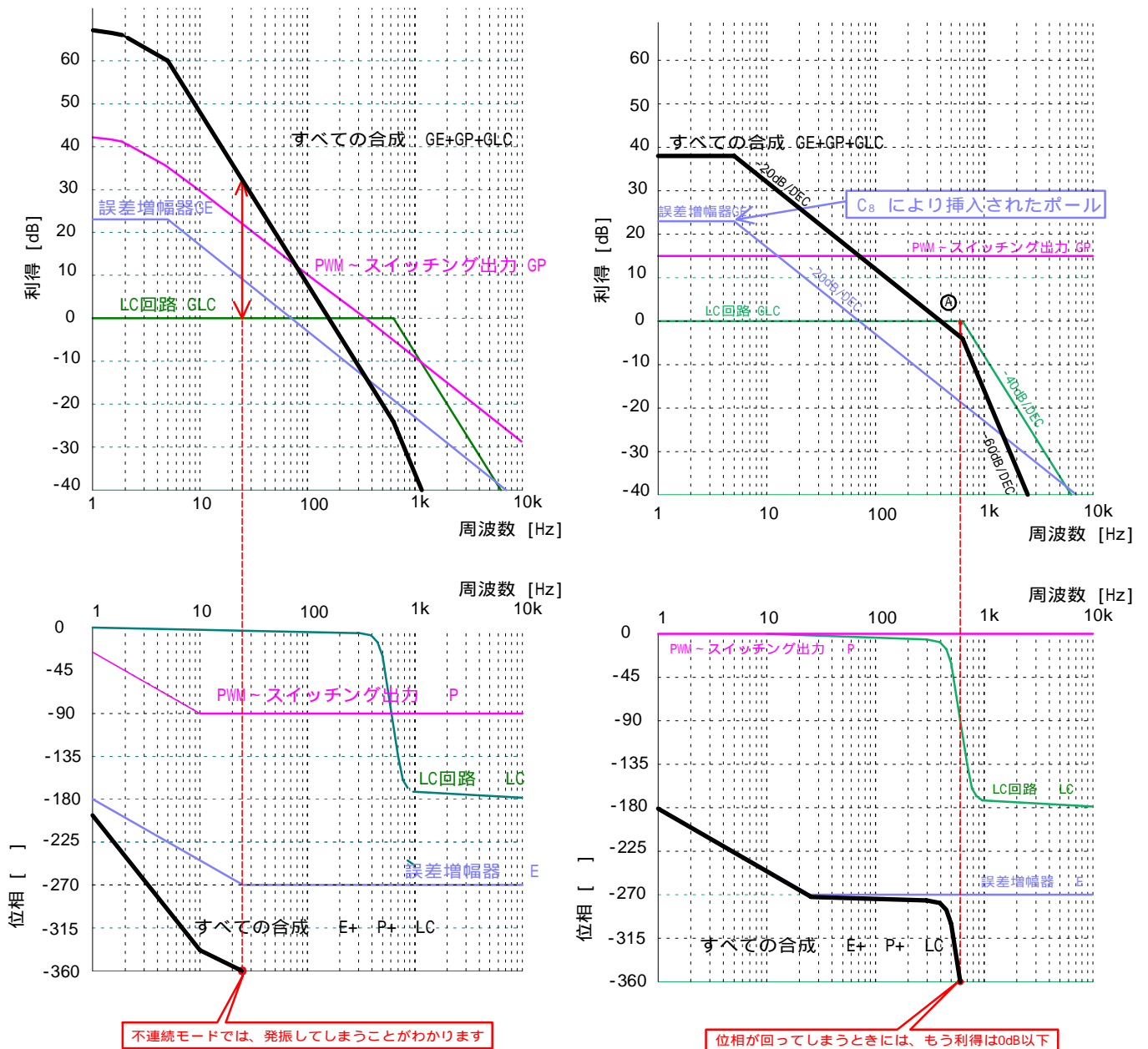
不連続モード

- ・周波数が高くなると利得が落ちるという特性
- ・低い周波数の利得が、連続モードより高い。
- ・利得の周波数特性は -20dB/DEC でおちるので、1 次回路とみることができる。また、ポールは



$C_s$  がないと、利得があるうちに位相が回転してしまい、発信することがわかります。

図 7-31  $C_s$  がいないときのボード線図算出結果



C<sub>8</sub>をつけ、強制的に利得を落とすことで、位相が回ってしまう前に利得を0dB以下にします。これなら発振しません。ただ、LCの共振周波数において位相が急激に回転するため、何らかの理由で利得が少しでも高い周波数まで伸びてしまうとすぐに発振します。つまり、定常では発振はしないものの、外乱により発振してしまう可能性があります。

図7-32 C8をつけたときのボード線図

かなり低い周波数である。

となります。なお、図7-30(c)の連続モードにおいて600Hz 近辺からの利得の低下は、次に述べるLC回路の特性そのものです(不連続モードでは、この周波数における利得が下がりすぎて、正しい測定ができない状態になっています)。

b) LC回路の周波数特性

LC回路の伝達関数はすでに6章で導いておりました。この式を元に周波数特性を計算すると、図7-33のようになります。共振周波数にて利得が増大し、その後-40dB/DECの割合で利得が減少します。実際の回路ではコンデンサのESRや配線抵抗、負荷抵抗などの要因が絡んで、この利得増加はそれほど発生しません。

c) 誤差増幅器の周波数特性

とりあえず、ここでは理想的な誤差増幅器、すなわち利得特性も位相特性も周波数に依存しない、フラットな特性をもつ増幅器とします。

誤差増幅器の利得はすでに $R_8, R_9$ の決定のところで23dBと求めており、周波数に依存せず利得はつねに23dBであると考えます。

これで、ボード線図を考えるのに必要な各回路の特性がわかりました。あとはこれらを合成してあげれば $C_8$ がないときのボード線図が求まります。図7-31に各回路の利得・位相の周波数特性とそれを合成したものを示します。DCDCコンバータの動作モードは、電流連続モードと電流不連続モードの二つがありますから、両方のボード線図を描いております。なおLC回路において、共振周波数における利得の持ち上がりはないものとしています(インダクタやコンデンサに、内部抵抗の小さいものを用いた場合、考えなければならないのですが、ここでは無視します)。

さて、もともと制御は負帰還ですから、位相は-180°が正常で、そこからさらに180°回る、すなわち-360°になったところでまだ利得が残っていると発振することになります。このことを踏まえてボード線図をみると、合成した特性(黒)は、利得があるうちに位相が-360°まで回っていることがわかります。つまり、このままでは発振することを意味しているのです。そこで、位相が回ってしまう前に利得0dB以下へと落とそうというのが $C_8$ の役目なのです。 $C_8$ をつけると、利得は周波数が高くなるにつれ-20dB/DECの割合でどんどん落ちますが、位相のほうは最大90°までしか回りません(発振するまで、まだ猶予として90°残る)。このことを利用して、位相は90°までまわしても、高い周波数で利得を落としてあげて、LC回路により位相がさらに回ってしまうころには利得が0dB以下になるようにしてあげるのです。実際にやってみると図7-32のようになります。 $C_8$ をいれると、

$$f = \frac{1}{2\pi C_8 R}$$

の周波数を境に、利得は-20dB/DECの割合で低下します。LC回路による位相回転をおこす周波数より低い周波数で利得を0dBにするとして、いま400Hzでループ利得を0dBにするようにしてみましましょう。電流不連続モードにつ

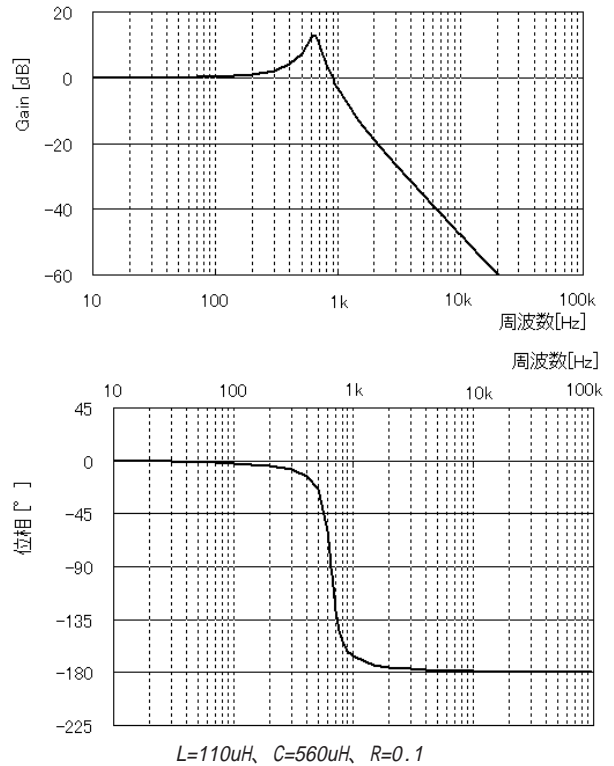


図7-33 LC回路のの利得・位相特性

いてはちょっと忘れておいて、電流連続モードだけを考えてみます。ループ利得を400Hzで0dBとするためには、ポールの周波数をいくつにすればいいのでしょうか? いま、遅れ位相保証1個しか入っていませんから、利得は-20dB/DECで落ちることはわかっています。ですから、400Hz0dBの点Aから20dB/DECのラインを、 $C_8$ がないときのループ利得と交わるところ(点B)まで引いてあげれば、その交点がポール周波数となるわけです。この周波数はおよそ5Hzです。よって、5Hzにポールを持つ誤差増幅器を作ってあげれば、ループ利得も5Hzにポールをもち、400Hzで0dBとなってくれます。このときのボード線図を図7-32(b)に示します。

ポールを5Hzとするためには、 $R=100k$  ですから

$$C_F = \frac{1}{2\pi f R} = \frac{1}{2\pi \times 5 \times 100000} = 0.32\mu F$$

となります。ここでは、0.33 $\mu F$ を用いることにします。

さて、さきほど電流不連続モードのときは忘れてと書きました。これは、電流不連続モードのときまで保証を考えると、とてつもなく低い周波数にポールを持ってこなければならぬということがわかるといえます。ポールをあまり低い周波数に持ってくると、非常に周波数応答の悪い(出力電流が変動するなどして出力電圧が変動したとき、すぐに規定値に戻らない)電源が出来上がってしまいます。そもそも5Hzにポールがあるところですでに周波数応答が悪そうだと思ってしまうほどなので、これよりさらに低くするというのはお薦めできません。ということで不連続モードにおいては発振を覚悟することになります。なお、これを解決するためには、進み位相保証を組み合わせる必要があるのですが、ここでいきなりそれをやると頭が非常に混乱しますから、まずは遅れ位相保証だけで設計をおこなっているわけです。

μPC277C, 277G2, 393C, 393G2, 393HA

電気的特性 (TA = 25 °C, V+ = +5 V, V- = GND)

項目	記号	条件	MIN.	TYP.	MAX.	単位
入力オフセット電圧	V <sub>IO</sub>	V <sub>O</sub> = 1.4 V, V <sub>REF</sub> = 1.4 V, R <sub>S</sub> = 0 Ω		±2	±5	mV
入力オフセット電流	I <sub>IO</sub>	V <sub>O</sub> = 1.4 V		±5	±50	nA
入力バイアス電流 <sup>※7</sup>	I <sub>B</sub>	V <sub>O</sub> = 1.4 V		25	250	nA
電圧利得	A <sub>v</sub>	R <sub>L</sub> = 15 kΩ		200000		
回路電流	I <sub>CC</sub>	R <sub>L</sub> = ∞, I <sub>O</sub> = 0 A, 両チャンネル		0.6	1	mA
同相入力電圧範囲	V <sub>ICM</sub>		0		V <sup>+</sup> - 1.5	V
出力飽和電圧	V <sub>OL</sub>	V <sub>I(-)</sub> = 1 V, V <sub>I(+)</sub> = 0 V, I <sub>OSM</sub> = 4 mA		0.2	0.4	V
出力吸い込み電流	I <sub>OSM</sub>	V <sub>I(-)</sub> = 1 V, V <sub>I(+)</sub> = 0 V, V <sub>O</sub> ≤ 1.5 V	6	16		mA
出力リーク電流	I <sub>OLEAK</sub>	V <sub>I(+)</sub> = 1 V, V <sub>I(-)</sub> = 0 V, V <sub>O</sub> = 5 V		0.1		nA
応答時間 <sup>※8</sup>		R <sub>L</sub> = 5.1 kΩ, V <sub>IN</sub> = 5 V		1.3		μs

図 7-34 uPC393 の特性

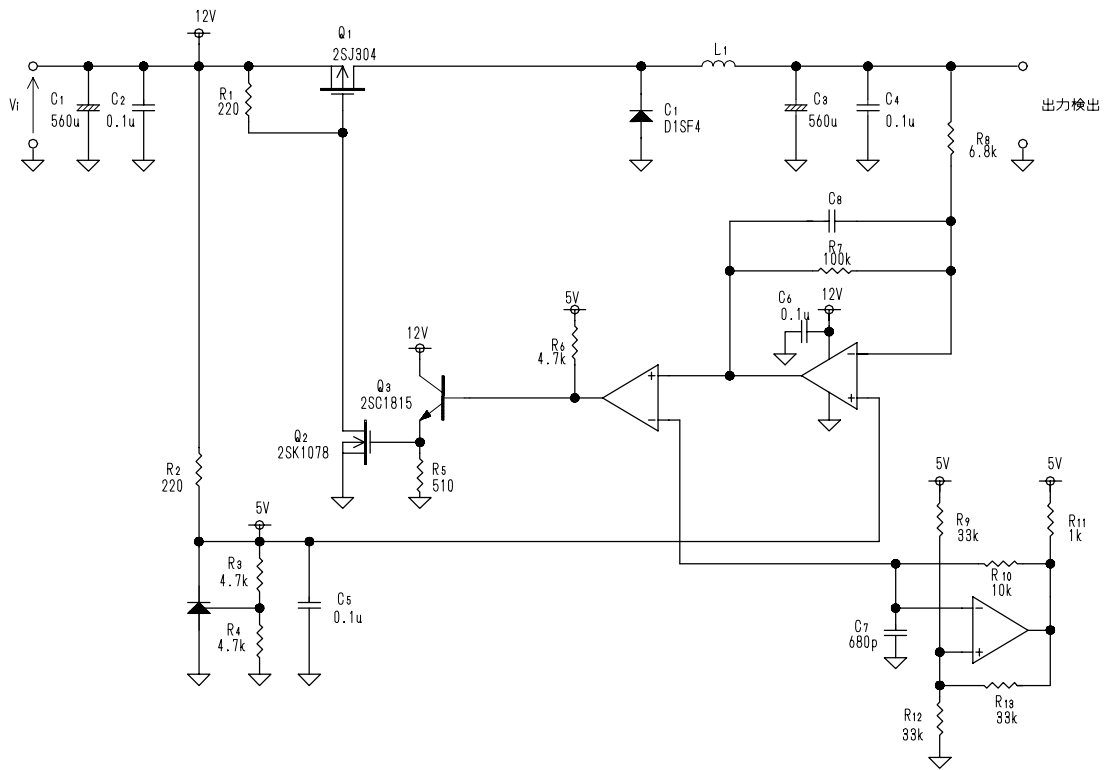


図 7-35 設計した降圧 DCDC コンバータ

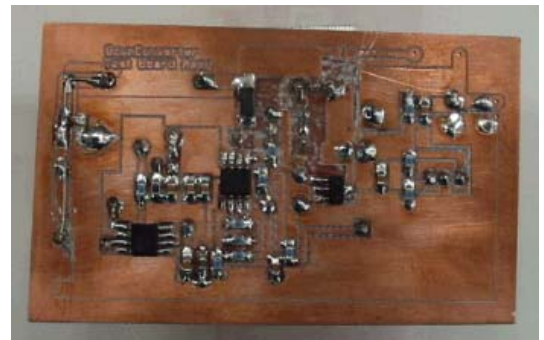
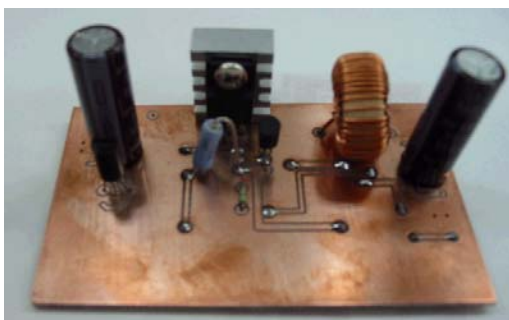
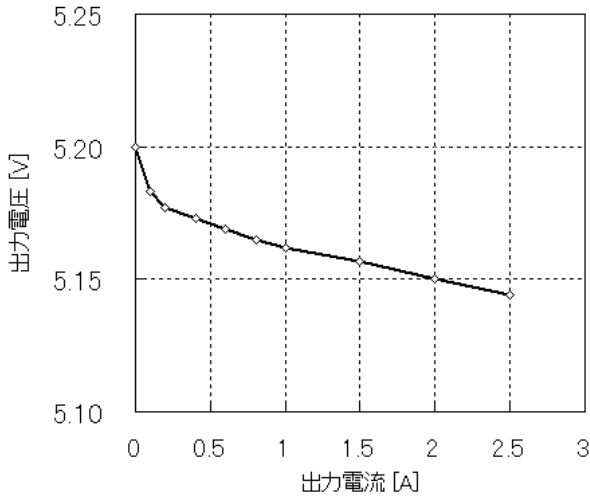
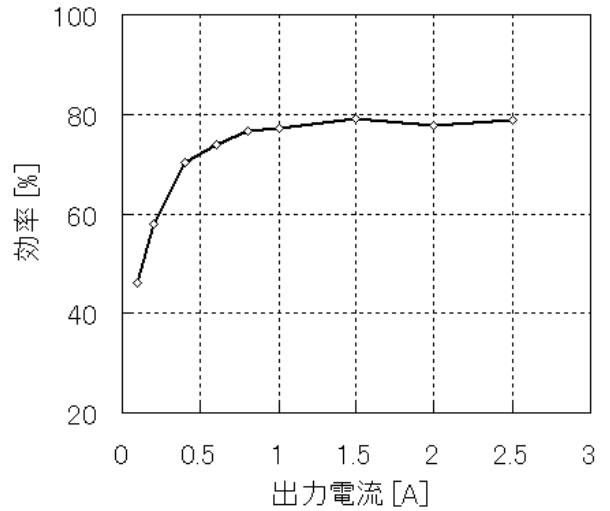


図 7-36 外観



(a)



(b)

図7-37 出力電圧特性と効率

かなり長くなりましたが、ようやくこれで誤差増幅器周りの定数が

- R<sub>8</sub>=100k
- R<sub>9</sub>=6.8k
- C<sub>8</sub>=0.33uF

と決まりました。

4) 基準電圧発生回路

5Vの基準電源を作ります。オペアンプの駆動に数mA、Tr1の駆動にも10mA程度かかるとして、20mA程度の出力電流が出せれば問題ないかと思ひます。

$$R_3=R_4=4.7k$$

$$R_2 = \frac{V_T - V_R}{I_R} = \frac{12V - 5V}{20mA} = 350\Omega$$

よってR<sub>2</sub>=220 とします。

5) 三角波発生回路

コンパレータとして、100kHzの発振が可能な速度を持ったものでなければなりません。ここでは、私が良く使っているuPC393という素子を用ひます。

回路説明のところで述べた通り、R<sub>10</sub>=R<sub>13</sub>=R<sub>14</sub>、R<sub>11</sub>=(1/3)R<sub>10</sub>とすれば三角波がでてくれます。ここでは

- R<sub>10</sub>=33k
- R<sub>13</sub>=33k
- R<sub>14</sub>=33k
- R<sub>11</sub>=10k

とします。発振周波数はC<sub>7</sub>,R<sub>10</sub>できまり、ここでは

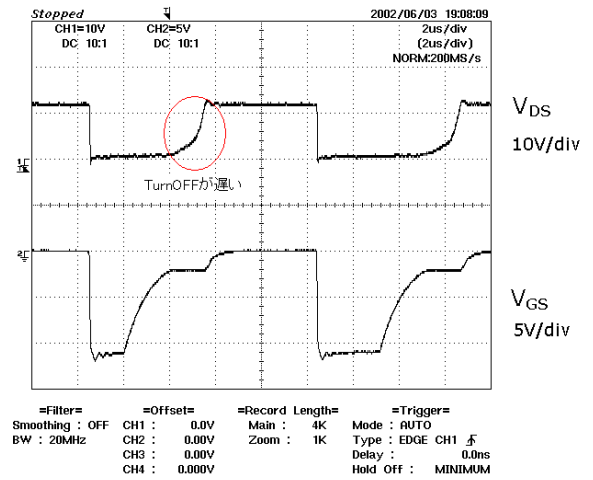
$$C_7=680pF$$

とします。

以上で、すべての定数が決まりました。早速組み立てて特性を測定してみることにしましょう。くみ上げた回路を図7-36に示します。

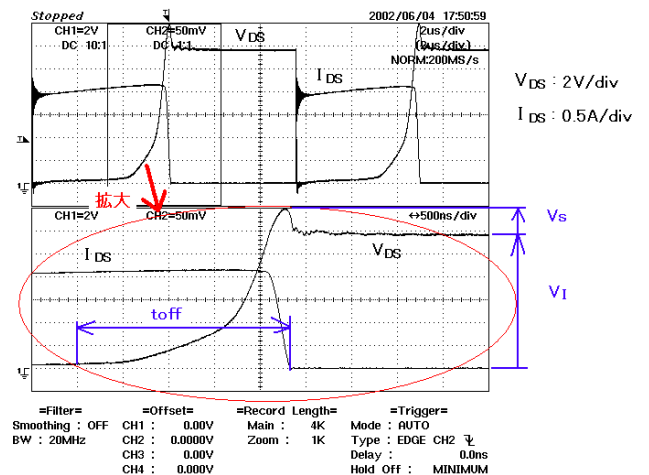
7-8 降圧コンバータをつくる 特性測定編

1) 出力電圧変動



Q1のゲートチャージに時間がかかっております

(a) V<sub>DS</sub>, V<sub>GS</sub> 波形



(b) V<sub>DS</sub>, I<sub>DS</sub> 波形

Q1のゲートチャージに時間がかかるため、スイッチング波形がだらだらしております。

図7-38 スwitching FETの動作波形

図7-37(a)に出力電圧安定度を示します。負荷電流が大きくなると、おおよそ30mV程度電圧が降下します。変動率にして約0.6%と満足できる数値です。負荷電流が少ないと、出力電圧が上昇しますが、これは不連続モードにおける利得増加の為と思われます。

2) 効率

最大出力電流付近で、およそ80%程度となっています。特に良いというほどでもありませんが、驚くほど悪いという数字でもありません。出力電流が少ないときに効率が悪くなるのは、全入力電力において、抵抗R<sub>1</sub>による損失や、サブ電源の消費電力の比重が大きくなるためです(抵抗R<sub>1</sub>の損失やサブ電源の消費電力は、負荷電流にかかわらずほぼ一定である)。もともと今回採用したドライブ回路は損失の面でよくない回路でしたから、この回路を改善すれば、効率は上がります。

せっかくですから、ドライブ回路が本当に良くない回路であるということ、波形を見て確認してみましょう。図7-38は、負荷に2Aを流しているときのV<sub>DS</sub>、V<sub>GS</sub>波形です。FETのV<sub>DS</sub>波形からTurnOFF時間を見てみると、およそ1.5usかかっています。計算値の1.2usにほぼあっています。実際のほうが時間が長くなるのは、計算上はV<sub>GS</sub>に常に12Vが印加されるものとして計算したからです。つまり、実際はゲートへの充電が進むとV<sub>GS</sub>は小さくなりますから、充電電流が減ってTurnOFF時間が長くなってしまおうというわけです。それにしても、FETのTurnOFFの性能は100ns(typ)ですから、まったくFETの性能を出していないことがわかります。このようにFETのスイッチングが緩やかになると、スイッチングロス(コラム参照)が増えることを意味し、効率の悪化につながるのです。実際にこの回路がどのくらいスイッチング損失を発生しているのかを計算してみましょう。

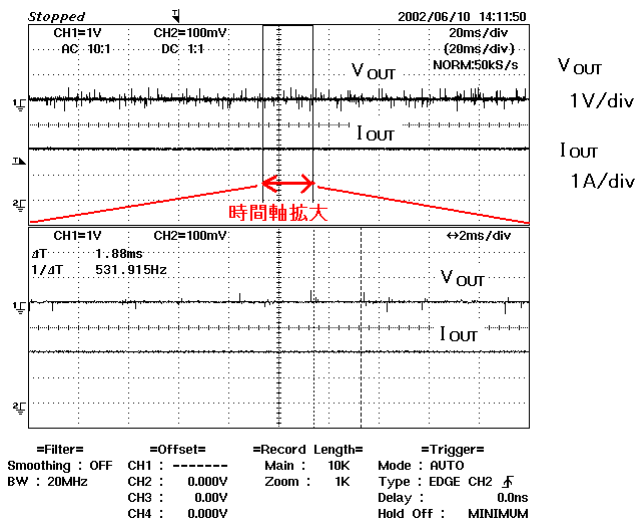
図7-38(b)は、ドレインソース間電圧とドレイン電流を測定したものです。FETがTurnOFFするときの損失は

$$P_{TOFF} = \frac{1}{6} \times I_D \times (V_I + V_S) \times T_{OFF} \times f = \frac{1}{6} \times 2.2A \times (12V + 2V) = 5.13W$$

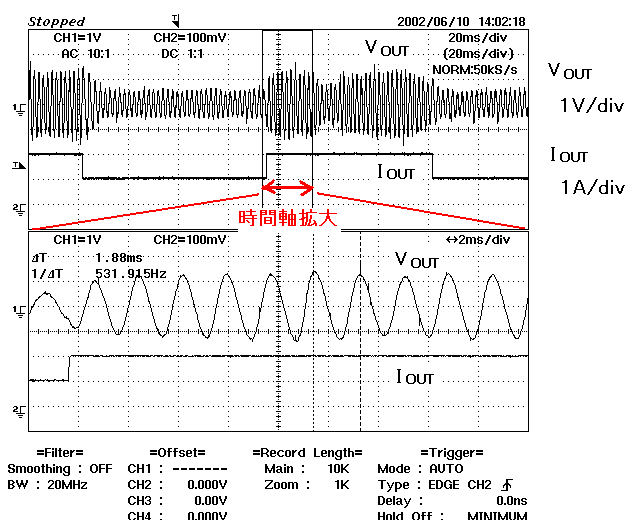
全出力が10W(5V × 2A)であることを考えると、このスイッチング損失が非常に大きいということが実感できると思います。

3) 過渡応答

では次に、過渡応答特性をみて、制御がうまくいっているかどうかを確認してみましょう。負荷に電子負荷装置をつないで、電子負荷装置を、過渡応答試験のモードに設定します。ここでは、負荷電流を、フル負荷である2Aとその半分の1Aの間で急峻に変動させたときの出力電圧変動をみてみます。図7-39がその結果です。見事に発振しております。急激な負荷変動をさせない場合は、図7-39(a)のように出力は安定していたのですが、出力を旧変動させたとき、同図(b)のように発振してしまいました。これは、位相余裕が少なかつたため、急激な負荷変動に対しては不安定になってしまったということです。過渡応答試験をやらなければ、気づくことなくこれで問題なしとってしまう個所です。発振周波数はおよそLC回路の共振周波数付近です。今回の設計は、LC回路による利得の盛り上がりは無いであろうとして行いま

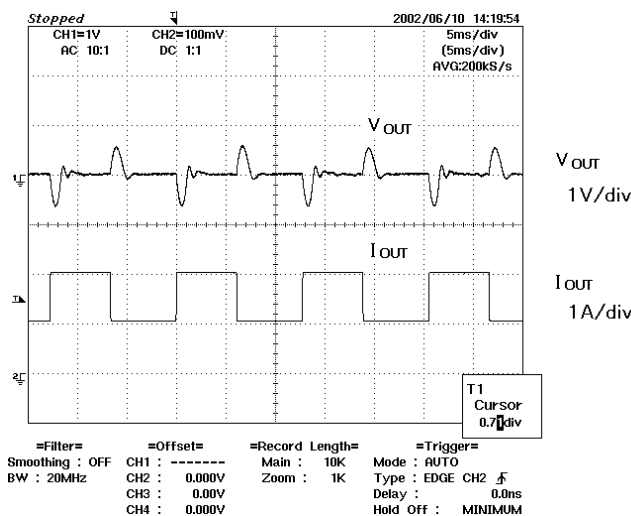


(a) 単に2Aを取り出しているときは、とくに問題は無い。一見、問題なさそうだが.....



(b) 負荷を急変動させたとき、531Hzで発振!

図7-39 過渡応答(外乱を与える)特性をとると、発振してしまう



C<sub>s</sub>=1uF(ポール周波数を低くした)にすれば、発振は無くなる。ただし、制御応答が非常に悪くなるため、負荷変動に対し、瞬間的に0.8V程度電圧が変動してしまう。

図7-40 さらに遅れ位相保証を行うことで制御系を安定させて、過渡応答特性を測定

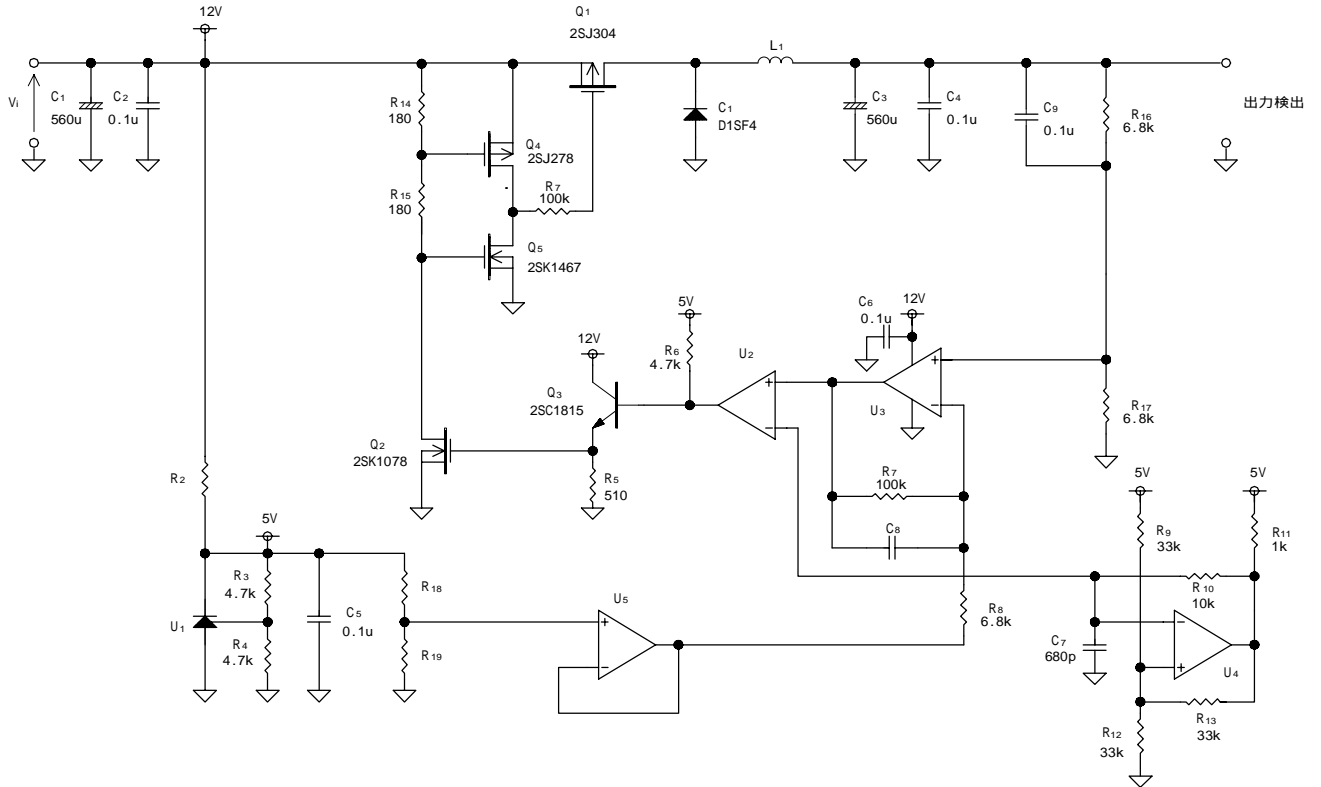


図 7-41 効率と制御系の改善を考えた回路 後に述べるが、この回路でもまだ問題がある。

したが、おそらく実際には利得の盛り上がりがあったのではないかと思います。この発振をなくすためには、さらにポールの周波数を下げて、位相余裕を増やしてあげればよいことになります。というわけでC8を1uFにした場合の過渡応答試験結果を図7-40に示します。とりあえず発振はとまりました。ですがポール周波数をおもいきり下げたため、制御応答が非常に遅くなっています。そのため、出力電流が変化すると、一度おおきく出力電圧が変動してしまいます。

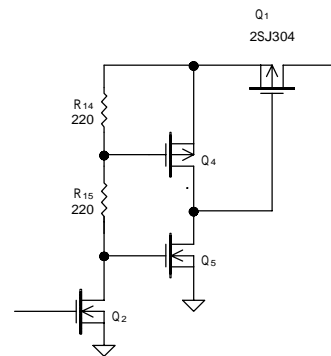
このように、スイッチング電源ではLC回路という遅い周波数で一気に位相回転を起こさせる回路が入るため、遅れ位相補償のみでは満足のいく特性をもつ電源を作ることは非常に難しいのです。

7-9 降圧コンバータを作る 効率，過渡応答特性改善編

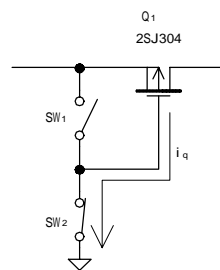
図7-35の電源は、効率がいまひとつ、応答特性は悪いという、実用的とは言い難い回路でした。効率を悪くしている主原因はスイッチング損失であること、また応答特性の悪い原因は、遅れ位相補償のみで発振対策を試みたためでした。ここでは、これら2つを対策することにいたしましょう。図7-41に改善した回路を示します。何やら一気に複雑になりました。まず、効率対策として修正したドライブ回路からみていきましょう。

1) ドライブ回路

図7-35の抵抗R1をFETスイッチに置き換えることで、Q2がONしているときに発生する抵抗R1の損失をなくし、またFETのスイッチング特性を改善させます。これらを実現するため、いままでFET1個と抵抗1つで済んでいたドライブ回路が、図7-42(a)のように、FET3個と抵抗2個というように部品点数が増えてちょっと複雑になりました。まずはこの回路の原理から説明いたします。この

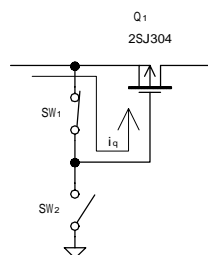


(a) ドライブ回路



ゲートに負電荷が溜まり、FETQ1がONする。抵抗がないので、あっという間に電荷がたまるので、TurnON時間が短い。

(b) Q1をONさせる



i<sub>g</sub>により、ゲート電荷が消滅する。抵抗がないので、すぐに電荷を消滅させることができるので、TurnOFF時間が短い。

(c) Q1をOFFさせる

図 7-42 ドライブ回路の原理



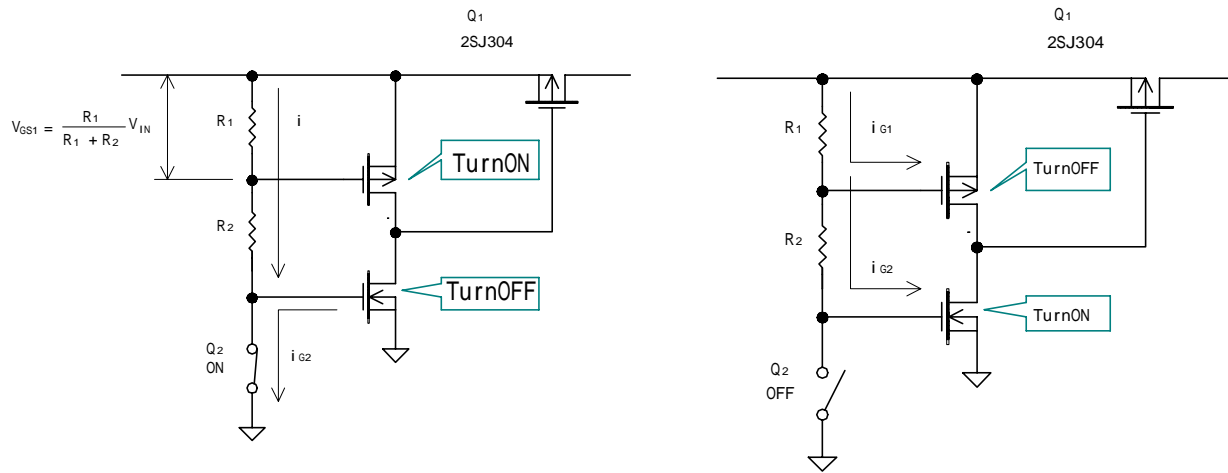
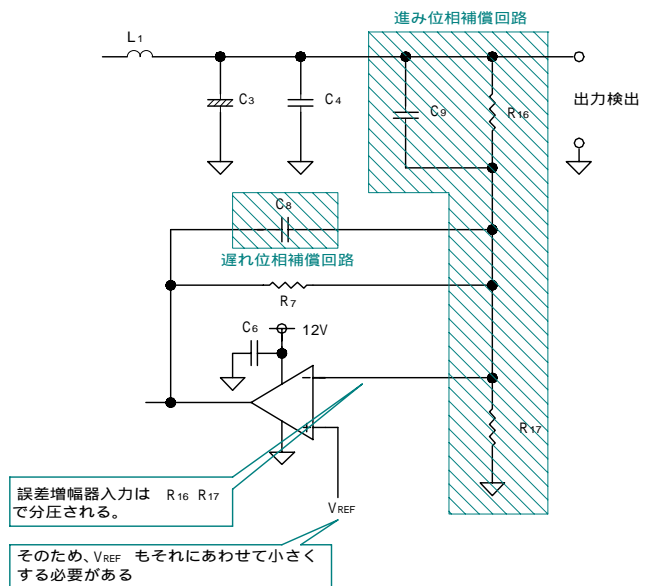


図 7-43 ドライブ回路の動作

ドライバ回路は、2つのスイッチにてFETをON,OFFさせます。FETをONさせるときは、図7-42(b)のようにSW1をOFF,SW2をONにして、ソースに対しゲートを負電位にすることでFETをTurnONさせます。このとき、ゲートに抵抗が無いので、FETのゲートにはすぐに負電荷が充電されるため、FETの持つ性能を生かした早い速度でTurnONします。また、FETをOFFさせるときは、同図(c)のようにSW1をON,SW2をOFFさせるとにより、ゲートに電流を流し込み、負電荷を無くします。このときも、ゲートに抵抗が無いので、大きな電流をゲートに流し込むことができますから、FETが早い速度でTurnOFFします。以上が、このドライブ回路の原理で、この回路を実現するために、スイッチにFETを用います。図7-42(a)において、Q4,Q5がそれぞれSW1,SW2にあたり、そしてQ4,Q5をON/OFF動作させるための回路がR14,R15,Q2です。では、この回路の動作について説明しましょう。

今図7-43(a)において、Q2がONしたとします。すると、Q5のゲートはGNDに落ちます。Q5はNチャンネルのFETですから、ゲートがGNDにおちることにより、OFFとなります。また、Q4のゲートには、R14,R15で分圧された電位が印加されますから、ゲート-ソース間電圧に $-V_{GS}$ がかかることとなります。Q4はPチャンネルFETですからゲート-ソース間に $-V_{GS}$ が印加されることでTurnONします。ここで注意することは、Q4,Q5のON/OFF動作のタイミングです。Q5のゲートは、直接GNDに落とされるため、Q5はすぐにTurnOFFしますが、Q4のほうはR2によりゲートの電荷が負になるわけですから、TurnONするのに多少時間がかかります。つまり、「Q5がOFFしてからQ4がONする」のです。

次に、Q2がOFFしたときを考えてみましょう。Q2がOFFすると、Q4はゲートに蓄えられた電荷はR14を通して消



R1,R2で誤差増幅器への入力電圧が小さくなるため、 $V_{REF}$ もそれに合わせて小さくしなければならない。

図 7-44 進み位相補償回路を追加する

されるため、TurnOFFします。また、Q5のゲートには、 $R_{14}+R_{15}$ により電荷が蓄えられるためTurnONします。ここでもQ4,Q5のON/OFF動作のタイミングが重要で、Q4はR14のみでゲート電荷が無くなり、Q5には $R_{14}+R_{15}$ によりゲート電荷が蓄えられるためQ4よりTurnOFF時間が遅れます。つまり、Q4がOFFしてからQ5がONするのです。

\* Q4とQ5が同時にONしてしまったときに、Q4,Q5のドレインに流れる電流を貫通電流という。Q5,Q5が同時にONすることは、 $V_{IN}$ とGNDを短絡した状態となるので非常におおきな電流が流れる)

絶対最大定格

		2SK1467(Sanyo)	2SJ278(HITACHI)	単位
ドレイン・ソース電圧	V <sub>DSS</sub>	30	-60	V
ゲート・ソース電圧	V <sub>GSS</sub>	± 15	± 20	V
ドレイン電流 (D.C)	I <sub>D</sub>	2	-1	A
ドレイン電流 (パルス)	I <sub>D peak</sub>	8	-4	A
許容損失	PD(セラミック基板実装時)	1.5	1	W

電気的特性

		2SK1467(Sanyo)	2SJ278(HITACHI)	単位
入力容量	C <sub>iss</sub>	170	160	pF
出力容量	C <sub>oss</sub>	100	80	pF
帰還容量	C <sub>rss</sub>	30	28	pF
ターンオフ遅延時間	t <sub>d(on)</sub>	7	7	ns
立ち上がり時間	t <sub>r</sub>	11	8	ns
ターンオフ遅延時間	t <sub>d(off)</sub>	35	30	ns
下降時間	t <sub>f</sub>	25	25	ns

図 7-45 2SK1467 および 2SJ278 の特性

このようにQ<sub>4</sub>, Q<sub>5</sub>は同時にONすることはないため、貫通電流\*は流れません。ただし、これはQ<sub>4</sub>, Q<sub>5</sub>の特性(ゲート容量やスイッチング速度)が同じでなければ成立しません。最初に、Q<sub>4</sub>, Q<sub>5</sub>の特性がほぼ同じ物を用いるとことわったのは、このためです。

Q<sub>4</sub>, Q<sub>5</sub>は、FETをON/OFFさせるだけですから、小信号タイプのFETを用いることができます。小信号タイプのFETは、ゲート容量が小さいので、少ないゲート電流で駆動することができます。すなわちR<sub>14</sub>, R<sub>15</sub>の値がおおきくても十分なスイッチング速度を確保できるということです。

こうして、Q<sub>1</sub>をTrunON/TurnOFFさせるとき、電流を制限する抵抗がないため、Q<sub>1</sub>に用いるFETの本来のスイッチング特性を引き出すことができるのです。では、実際に使用する部品を決定していきましょう。

まず、Q<sub>4</sub>, Q<sub>5</sub>の素子を選択しなければなりません。スイッチング速度がQ<sub>1</sub>並に早く、入力容量が小さいこと、またQ<sub>1</sub>のゲートには瞬間的に1A程度の電流が流れ込みますから、パルスでその程度の電流を流しても良いFETを探します。そして、Q<sub>1</sub>, Q<sub>2</sub>の入力容量・スイッチング速度がほぼ同じでなければなりません。とりわけ、手持ちで使えそうなFETを探してみ、Q<sub>4</sub>に2SJ278(日立), Q<sub>5</sub>に2SK1467(三洋)を用いることにしました。これらFETはコンプリメンタリ用に作られているわけではありませんが、手持ちの都合上(\*1)、だいたい特性が似ているこの2つを用いることにします。

では、R<sub>14</sub>, R<sub>15</sub>を決めましょう。R<sub>14</sub>, R<sub>15</sub>の値は、Q<sub>4</sub>, Q<sub>5</sub>のスイッチング時間に関係しますから、Q<sub>4</sub>, Q<sub>5</sub>が目標とするスイッチング時間となるようR<sub>14</sub>, R<sub>15</sub>の値を決めてあげます。前回の失敗したDCDCコンバータのTurnOFF時間は1.8us程度、スイッチング周期の18%程度も時間を要するという非常に遅いものでした。そこで、今度はスイッチング周期に対し2%程度、すなわち200nsとなるような値を目標としましょう。いま、R<sub>14</sub>=R<sub>15</sub>として、Q<sub>1</sub>のゲートドライブ電圧を6Vとしましょう。なおQ<sub>4</sub>のゲートドライブは12Vとなり、Q<sub>5</sub>より多くゲート電荷が蓄えられ、TurnOFFに時間がかかりそうですが、Q<sub>5</sub>をTurnOffさせるとき、Q<sub>5</sub>のゲートがGND直結となるため、Q<sub>5</sub>は十分速

い速度でTurnOFFしてくれませす。

Q<sub>4</sub>を6Vで駆動する際、ゲートに蓄えられる電荷量は図7-46より、およそ7nCとなります。Q<sub>1</sub>を200nsで動作させるためには、ゲートへ

$$I = \frac{q}{t} = \frac{7nC}{200ns} = 0.035A$$

の充放電電流で駆動してあげればよいことになりませす。しかるに抵抗R<sub>14</sub>, R<sub>15</sub>には6Vの電圧がかかっていますから

$$R_{14}=R_{15} = \frac{V}{I} = \frac{6V}{0.035A} = 171\Omega$$

となります。ここでは、180 としましょう。

これで、ドライブ回路が出来上がりました。次に、制御系の改善回路を見ていくことにします。

2)制御系の改善

制御系の改善として、誤差増幅器を非反転アンプに変更しました。非反転アンプは6章で述べたとおり、位相特性が一度90°まで回るものの、利得が1以下に落ちないことから、再び0°へ戻るとい特性をもちませす。ここでは、この特性を利用することで、安定した制御のボード線図

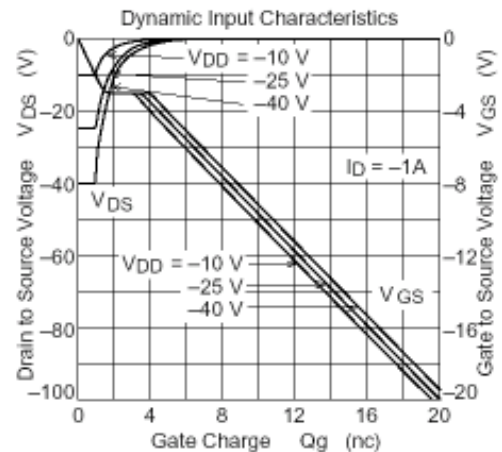


図 7-46 2SJ278 のダイナミック入出力特性

\*1 秋葉原や日本橋近辺に在住のかたがうらやましい。

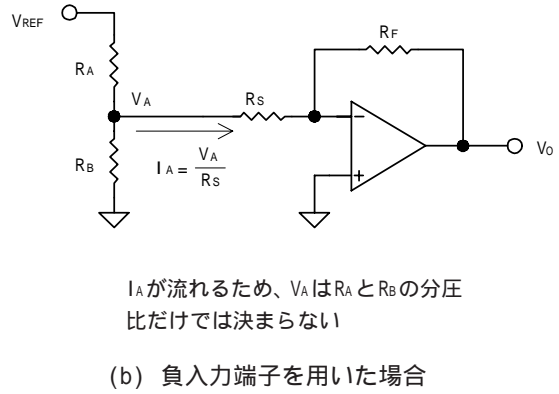
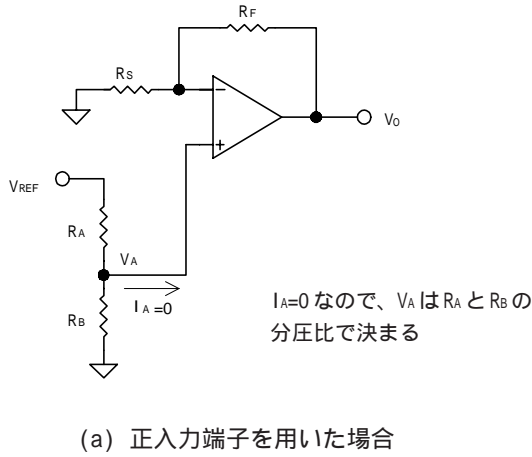


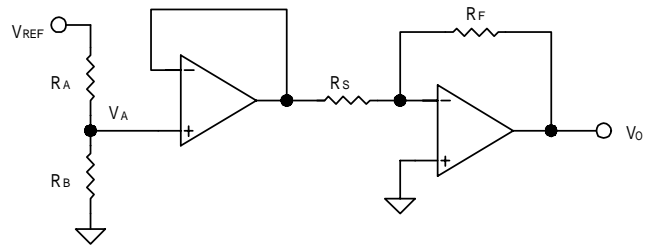
図 7-47 負入力端子を用いるときの注意

となるようにします。誤差増幅器を非反転増幅器に変更しましたから、PWM回路への入力も変更し(つまり、誤差増幅器出力U2の正入力へ、三角波出力をU2の負入力へ接続する)、負帰還となるようにします。こうして出来上がった回路が図7-44です。

R16, R17, C9 は6章で述べた進み位相補償です。この回路は電圧を分圧しますので、これにあわせて基準電圧も変更しなければなりません。そのための回路がR18, R19, U3です。R18, R19にて基準電圧を分圧し、その出力をオペアンプのエミッタフォロアを通して誤差増幅器へと印加します。エミッタフォロアをつけた理由は、基準電圧は誤差増幅器のマイナス入力に入る、つまり誤差増幅器の入力抵抗が低いからです。このような入力抵抗の低い回路に、図7-47のような、単に抵抗で分圧しただけの電圧を加えると、オペアンプの入力電圧VAはRB/(RA+RB)とはなりません。これは、オペアンプの入力抵抗がRBに並列に入る形となるためです。反転増幅回路のオペアンプは入力抵抗がRSと結構低い値となるため、RSの影響が無視できず、VAはRB/(RA+(RB/RS))となってしまいます。非反転増幅回路の場合、入力抵抗はほぼ無限大であるため、VAはRA, RBの抵抗比で決まってくるのですが、あらかじめ、基準電圧をつくる時、このRSによる影響を計算に入れてRAとRBの抵抗比を決定してもいいのですが、ここではインピーダンス変換回路を間にいれることでこの問題を解決することにしました。その回路が図7-48です。この回路は電圧フォロアと呼ばれる回路で、入力抵抗がほぼ無限大、増幅度が1、出力抵抗がほぼ0という回路です。こんな回路をここに付けるとなんで良いのかというと、入力抵抗がほぼ無限大ですから、先ほどのRSによる影響というものがなくなり、VAはRA, RBの抵抗比だけで決まることができます。また、この回路は増幅度1ですから、RA, RBの抵抗比だけで決まった電圧がそのまま出力として出てくるのです。また、出力抵抗0ということは、出力電流をとっても出力電圧に変動がないということです。こうして、図7-41のR18, R19, U5により、基準電圧を作成します。このように、ボード線図改善のためオペアンプを非反転増幅回路に変更、進み位相補償の追加、そのための基準電圧回路の変更を行い、図7-41の回路が出来上がったわけです。では、この回路でどのようにボード線図を改善する

### ボルテージフォロア

入力インピーダンス=増幅度=1



ボルテージフォロアを入れてあげれば、VAの値はRSの影響を受けることがない。

図 7-48 抵抗分圧とボルテージフォロアによる基準電圧の作成

のかを考えてみましょう。この回路では、

1. まず非反転増幅器で十分利得をおとす。
2. 非反転増幅器で位相が90°まで一度回すが、再び0°へ戻る。
3. 0°に戻ってきたところで、LC回路により利得をさらに落とす。ここで、進み位相補償を併用することで、位相を180°までまわさないようにする。

という感じで制御系を設計します。言葉でいうとびんここないかと思しますので、実際に行ってみることにしましょう。図7-49が狙うボード線図です。まず、非反転増幅回路はC8によりポールが挿入されますから、A点にて利得が落ち始め、位相も回転します。そして、利得が1に近づくと、遅れていた位相は0°に戻り始め、やがて0°になります。この位相が0°に近づいたところで、LC回路により利得を落とし、利得を0dB以下にします。このとき、位相は一気に180°まで回ってしまいますから、進み位相補償を用いて、LC回路で180°まわっても、全体で180°回らないようにします。このとき、進み位相補償回路による利得増加は20dB/DEC、LC回路による利得減少は-40dB/DECですから、進み位相補償回路を挿入しても利得

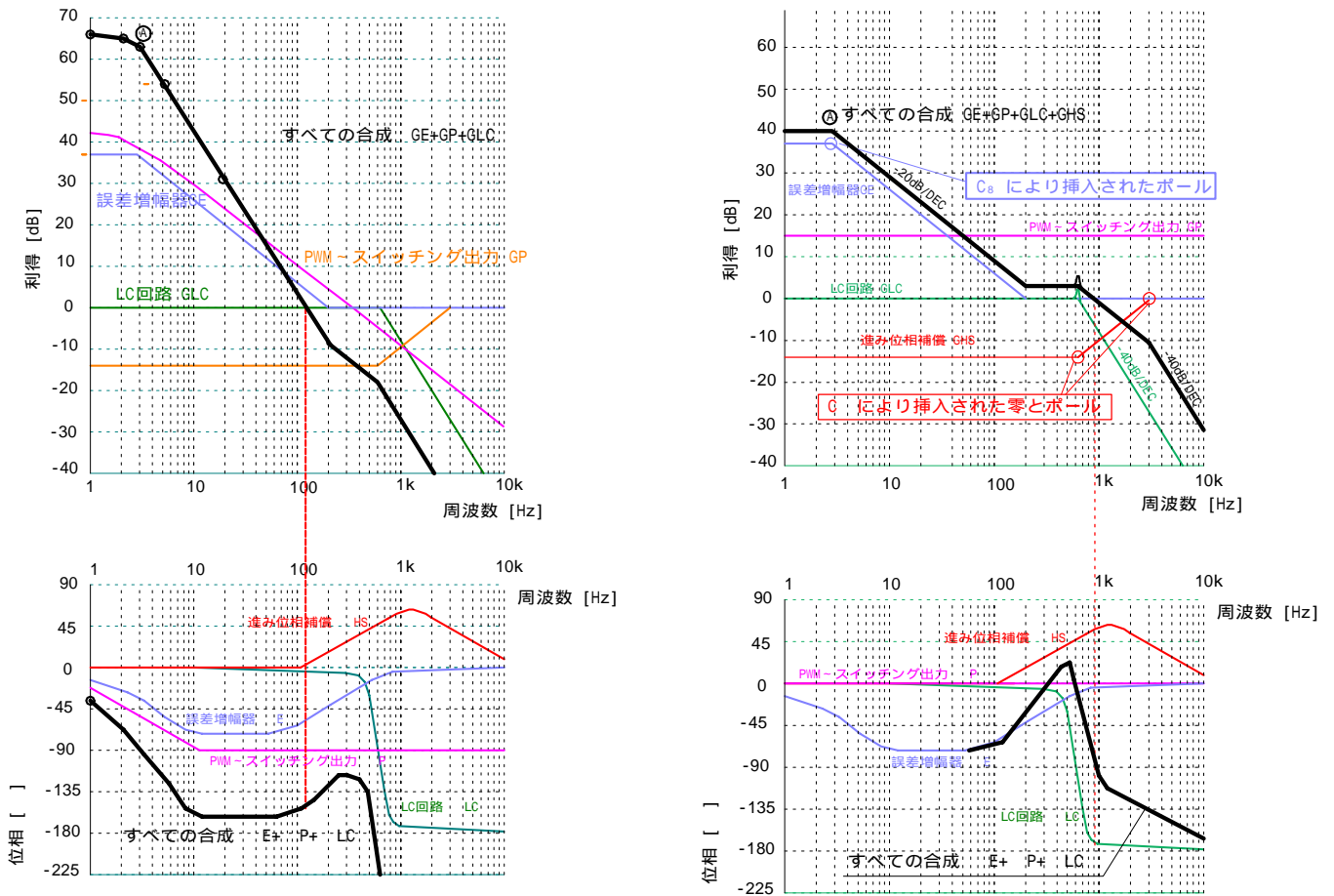


図 7-49 改善した回路のボード線図

は -20dB/DEC で落ちつづけます。したがって、進み位相補償回路の効力が切れる周波数には、もう利得は 0dB 以下となり、制御は安定するわけです。あとは、このボード線図を実現するために回路定数を決めていくだけです。ただ、L や C の値はすでに決まっていますし、R1, R2 の値はオペアンプの特性上、どうしても制限がかかりますからこれらを考慮して値を決めていくわけです。

・ R16, R17, C9 の決定

R16, R17 の比により、極とポールの周波数 (第 6 章の図 6-15 参照) f1, f2 の値が決まります。R16, R17 の比が大きいほど f1, f2 が広がり、進み位相補償に使える周波数範囲が広がりますが、それに応じて基準電圧も下げなければならないため、おのずと限界値が出てきます。ここでは、基準電圧を 1V とし、R16 と R17 の比を、1:4 とします。

f1 は、LC 回路の共振周波数より少し低いところにおきます。R16, R17 の比はもう決まっていますから、f1 を決定した時点で f2 も決まります。いま、R17 を 1k とすると、R16 は 4k となり、また f1 を 500Hz に設定すれば

$$C_9 = \frac{q}{t} = \frac{1}{2\pi\gamma R_{16}} = \frac{1}{2\pi \times 500\text{Hz} \times 4k} = 0.08\mu\text{F}$$

となりますので、C9 は 0.047uF と 0.033uF の並列接続でいきます。

そして f2 は

$$f_2 = \frac{R_{16} + R_{17}}{2\pi C_9 R_{16} R_{17}} = \frac{4k + 1k}{2\pi \times 0.08\mu \times 4k \times 1k} = 2487\text{Hz}$$

となります。

2) R7, R8 の決定

誤差増幅器に必要な増幅度から、R7, R8 の値が決まります。各ブロックの利得は計算上

PWM ~ LC 回路出力 17dB  
 進み位相補償回路 -14dB (1k / (4k+1k) = 0.2 倍)

ですから、ループ利得を 40dB とするためには、誤差増幅器の利得を

$$40\text{dB} - 17\text{dB} + 14\text{dB} = 37\text{dB} (70.8 \text{ 倍})$$

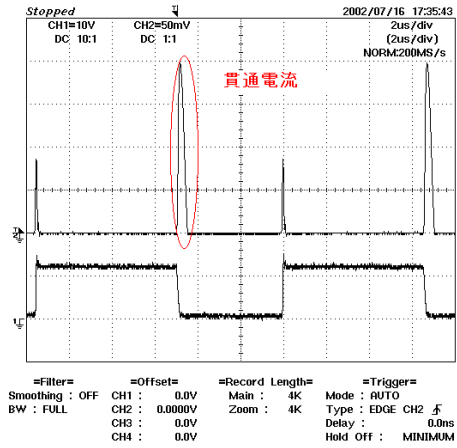
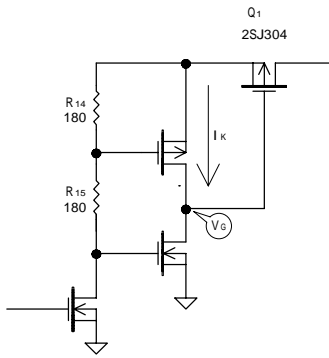


図7-50 大きな貫通電流が流れている

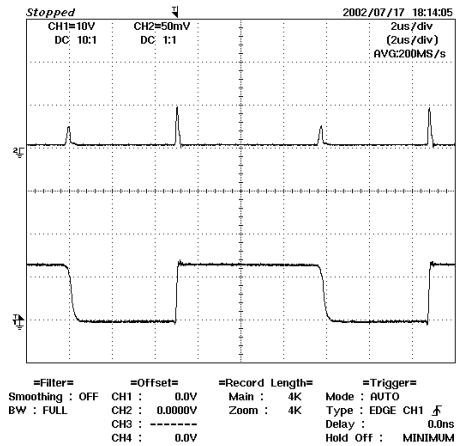
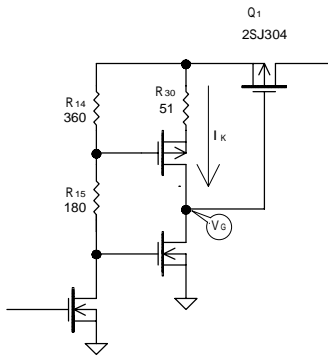


図7-51 貫通電流を減らすことができた

とすればよいことになります。いま  $R_8=100k$  とすれば、 $R_s$  は  $1.43k$  とすれば指定の倍率になります。ここでは、 $1k$  と  $430$  の合成抵抗を使います。

3)  $C_8$  の決定

LC 共振周波数近辺において、誤差増幅器の位相が  $0^\circ$  近辺に戻ってくるよう  $C_8$  の値を決めます。ここでは、 $200Hz$  において零(すなわち非反転増幅回路の利得が1となる周波数)がくれば、 $600Hz$  では  $0^\circ$  まではいかずとも、 $0^\circ$  に近づいてきています。戻りきらない分は、進み位相補償に期待しましょう。 $200Hz$  に零(利得=1)があり、直流利得が  $37dB$  必要とすると、極は作図により  $2.7Hz$  にもってくれば良いことがわかります。したがって  $C_8$  は

$$C_8 = \frac{1}{2\pi R_8 f} = \frac{1}{2\pi \times 100k \times 2.7} = 0.59\mu F$$

ここでは、 $C_8$  に  $0.68\mu F$  を使用します。

4)  $R_{18}, R_{19}$  の決定

$R_{18}, R_{19}$  により基準電圧  $1V$  を作成します。ここでは、 $R_{18}=10k, R_{19}=39k + 1k$  とします。

これで、各部品の数値が決まりました。早速くみ上げて、動作をさせて見ましょう。

7-10 動作をさせてみる

実際に動作をさせて、簡単に効率を計算してみると、効率がかなり悪いことがわかりました。原因は、ドライバ段に用いた FET に、大きな貫通電流が流れているためです。図 7-50 にその様子を示します。 $V_G$  が  $0V$  になる瞬間に流れる大きな電流が、貫通電流です。使用した FET の選定を、単なる手持ちで使えそうなものとしたことの「つけ」が回ってきた感じでした。そうそう新規の部品を入手することはできないので、この、いまひとつの FET の組み合わせのまま、なんとか貫通電流を減らすことを考えてみましょう。貫通電流が流れてしまう原因は、 $Q_5$  が TurnOFF する前に  $Q_4$  が TurnON してしまう為です。ですから、 $Q_4$  の TurnON を遅らせてあげればいいわけで、そのためには、 $R_{14}$  を大きくしてあげればよいのです。だからといって、大きくしすぎるにも限度がありますから、貫通

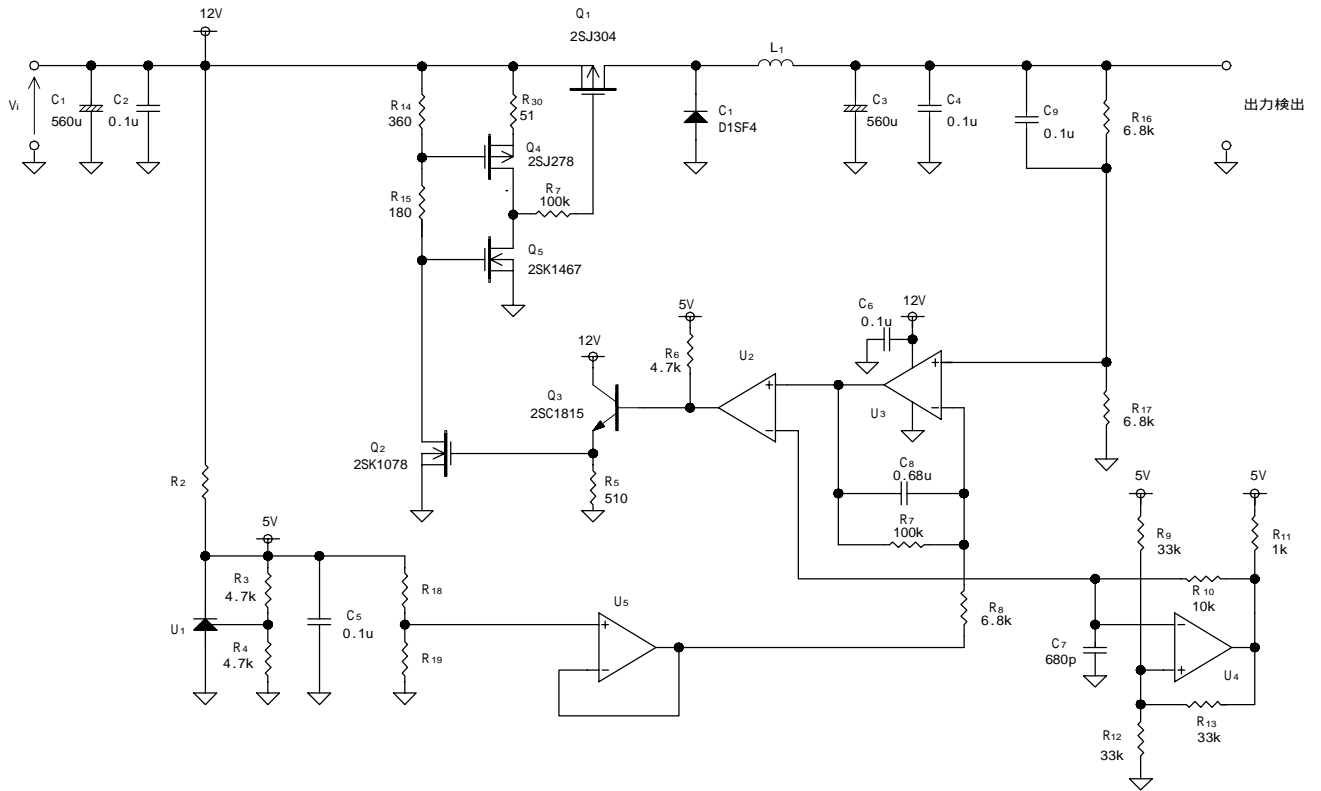


図7-52 最終的に決定した回路

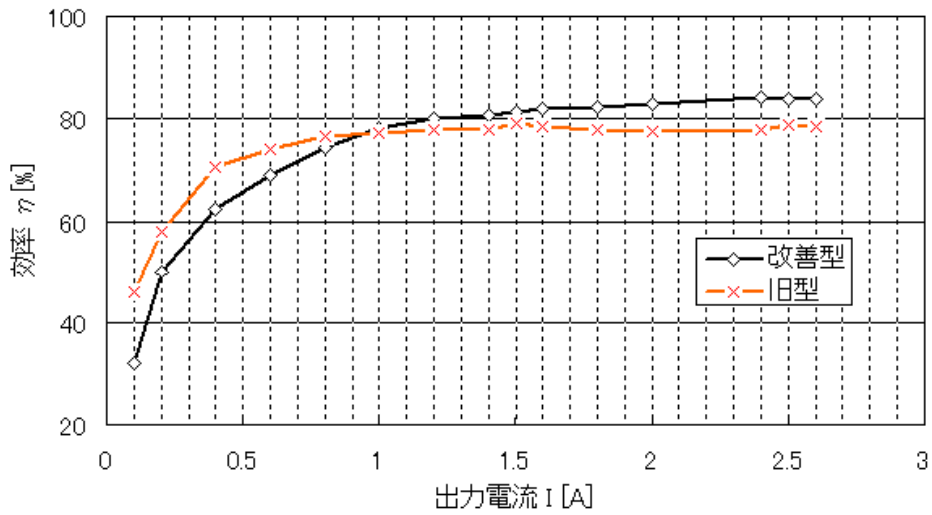
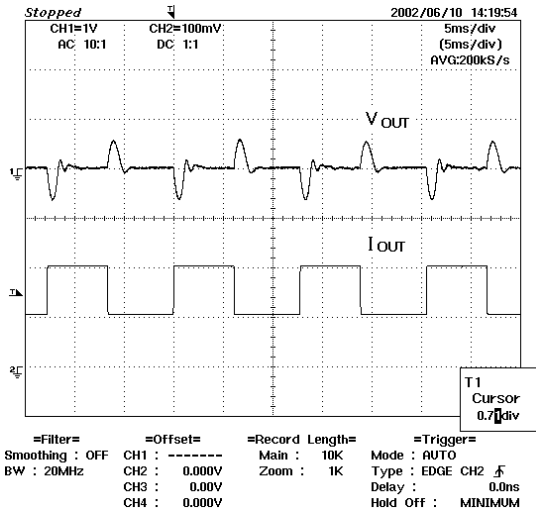
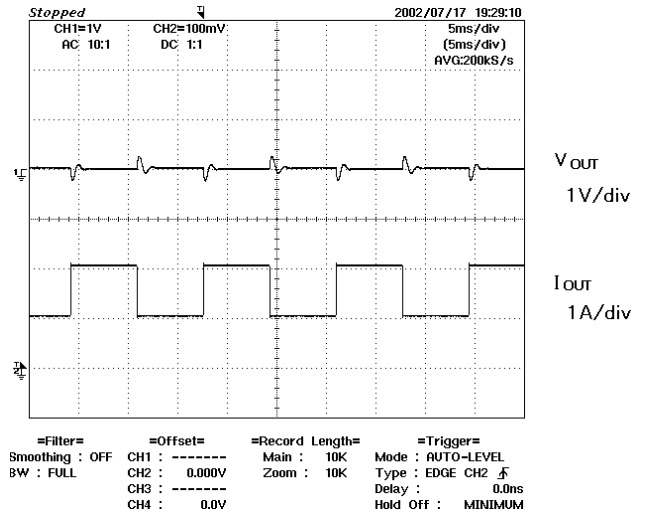


図7-53 効率の比較



(a) 従来品の過渡応答



(b) 再設計品の過渡応答

過渡応答特性が改善されていることがわかります。

図7-54 過渡応答特性の比較

電流対策として、 $R_{30}$ を新たに追加することにしました。この抵抗をあまり大きくしすぎると、 $Q_1$ のTurnOFFが遅くなって $Q_1$ のスイッチング損失が増加してしまいますから、貫通電流とスイッチング損失のトレードオフを考えながら値を決めます。こうして、 $R_{14}$ を360に変更、 $R_{30}$ に51を用いることにしました。こうして出来上がった最終的な回路を図7-52に示します。早速この回路の特性を測定して、効率や過渡応答特性が改善されているかどうかを確認してみることがしましょう。

### 7-11 改善回路の特性を測定する

この改善した回路の効率を測定してみましょう。その結果を図7-52に示します。前回のものに比べ、出力電流が少ないときは効率が悪いのですが、出力電流が大きくなると、効率がよくなっております。これは、貫通電流による影響と考えられます。貫通電流による損失は、出力電流の如何にかかわらず一定ですから、貫通電流による損失が、前回の抵抗だけのドライブ回路の損失より大きいと、出力電力が少ないとき、その影響がもろに見えるわけです。出力電力が大きいときは、貫通電流の損失の割合が少なくなるため、効率は上がってきます。出力電流が大きいとき、従来回路に比べ効率が上がっているのは、 $Q_1$ のスイッチング損失が減少しているためです。つまり、回路を変更することにより、ドライブ回路の損失が増加してしまいましたが、その代わりに $Q_1$ のスイッチング損失を大きく減らすことができたということです。なお、ここではドライブ用のFETを手持ちのもので間に合わせた関係で、貫通電流が比較的大きくなってしまい、思ったほど効率が上がりませんでした。もし、ドライブ用のFETとして最適なものを使えば、もっと効率はよくなります。では次に、過渡応答特性を見てみましょう。

過渡応答特性を図7-54に示します。従来品に比べ、過渡応答特性が改善されています。進み位相保証を付け加えることにより、交差周波数をあげることができましたから、そのおかげで鋭い負荷電流変動に対し反応速度が速くなったのです。このように、進み位相保証を組み合わせれば、過渡応

答特性が改善できるんだということ、そして不用意に遅れ位相保証をかけすぎではいけないということが、この二つのDCDCコンバータの過渡応答特性を比較することによりわかると思います。なお、今回は比較的簡単な進み位相保証と遅れ位相保証を組み合わせただけですが、もうちょっと複雑な保証回路をつけることにより、もっと過渡応答特性を改善することができます。それでも要求する過渡応答特性を得られなかった場合は、スイッチング周波数をあげるという手もあります。スイッチング周波数を高くすれば、LやCの値を小さくできますから、交差周波数を上げることができるわけです。

誤記がありましたので、ここにお詫びと訂正を致します。

2008年4月 スwitching損失式に誤記訂正  
P32 TurnON, TurnOFFの損失式において Ton, Toff を書き忘れ

2008年1月 下記訂正を行い再アップ  
図2-15PWM用コンバーター極性修正  
P15 R5の算出を加筆  
ほか、誤字脱字修正

初版アップ  
2002年9月 S.Watabe (JE1AM0)

コラム FET の損失

電流が流れるとき、電圧降下が発生すれば、そこに電力が消費されます。理想的なスイッチでは、ON時は電流は流れても電圧降下はありませんからスイッチにおいて電力消費は無く、またOFF時においてはスイッチに電圧はかかっているが電流が流れていませんから電力消費はありません。しかし、実際にスイッチに用いられるFETなどの半導体スイッチには、スイッチを開閉させるときに生ずるスイッチング損失、そしてスイッチがONであってもスイッチの抵抗は完全に0で無いために発生するオンロスと呼ばれる損失があります。

1) スwitchング損失

半導体スイッチは、電流の流れている半導体の抵抗を、ONのときは0にし、OFFのときには無限大にするということでON/OFFを実現しています(図7A(a))。たとえばFETをスイッチとして用いたときを考えてみましょう。FETのスイッチをTurnOFFするということは、ドレイン-ソース間の抵抗値を0からへと変化させているということなのです。当然、抵抗の値は瞬時に変えられるわけではありませんから、スイッチの切り替え時に、図7A(b)のような電流が流れ電圧降下も発生するという期間が生じます。電流が流れ電圧降下が発生しているわけですから、ここで電力が消費されているわけです。このような、スイッチがON/OFFするとき発生する損失をスイッチング損失と呼んでいます。

スイッチング損失は、得られた電圧・電流波形から損失の瞬時値を出し、それを時間平均すれば求められます。最終的には、

$$P_{SW} = P_{ON} + P_{OFF}$$

$$P_{ON} = \frac{1}{6} V_{ON} I_{ON} T_{ON} f \quad \text{TurnON時の損失}$$

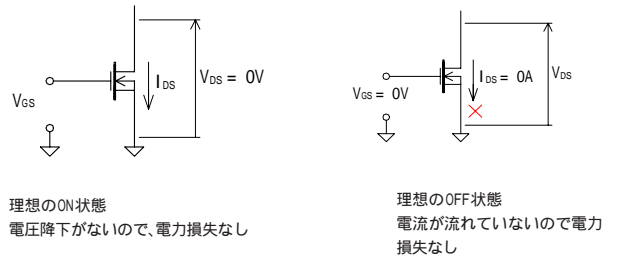
$$P_{OFF} = \frac{1}{6} V_{OFF} I_{OFF} T_{OFF} f \quad \text{TurnOFF時の損失}$$

という式で計算できるということになるのですが(fはスイッチング周波数です)、この式は電圧・電流の立ち上がり、立下り波形が図7A(b)のようにとても綺麗である場合です。実際の電圧・電流波形の立ち上がり・立下り波形は、図7A(c)の波形のように直線的に変化しませんから誤差が出てきます。しかし、スイッチング損失はそれほど正確に計算する必要は無いので、この式から得られる結果で十分間に合います。

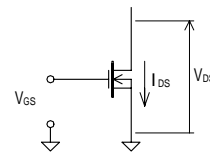
さて、スイッチング周波数が高くなると1秒あたりのスイッチング回数が増えるため、スイッチング損失が増加します(周波数が2倍になれば損失も2倍になる)。ですから、むやみにスイッチング周波数は高くできず、通常200kHzから300kHz程度までが実用域かと思われます。

2) オンロス

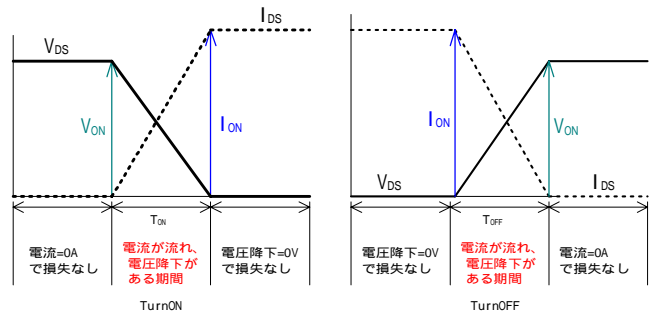
FETがONになっても、 $V_{DS}$ は0Vにならず、わずかながら電圧降下が発生します。この電圧を飽和電圧といいます。電圧降下があるため、ONであっても電力損失が発生し、この損失をオンロスといいます(図7B)。



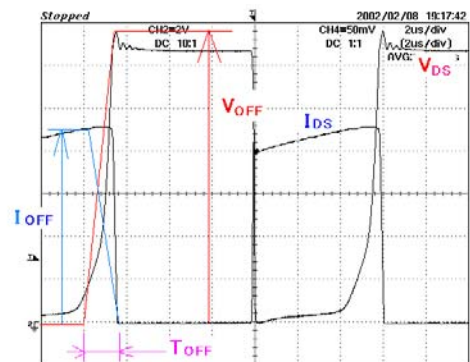
(a) ON状態、OFF状態のときのみ見てみると、理想的FETでは損失は無いのだが。



電流が流れたとき、そこに電圧降下が発生すれば、そこに電力損失が発生する。FETの場合、 $I_{DS}$ が流れたとき、そこに $V_{DS}$ という電圧降下が発生すれば、それがFETによる電力損失である。

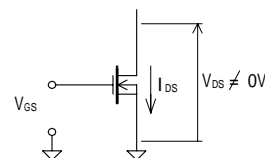


(b) TurnON / TurnOFFするとき、電流が流れ、電圧降下が発生する期間が発生する。これがスイッチング損失。



(c) 実際のスイッチング波形例

図7A スwitchング損失



実際のFETでは、ONのとき、 $V_{DS}=0V$ とはならない。したがって、FETがONのとき、 $P=V_{DS} \times I_{DS}$ の電力損失が発生する。

図7B オン損失



コラム FET について 1/3

FET と一口にいっても大変種類があります。ここでは、電源作成時によく利用するエンハンスメント形 MOSFET というものについて、必要最低限の説明を3ページにわたって行います。以後、とくに断りがない限り、単に MOSFET と表記した場合、それはエンハンスメント形 MOSFET を指すこととします。その他、種々ある FET については、電子部品に関する文献を参照すると良いでしょう。

さて、MOS-FET の図記号は図 7C に示すように、ゲート・ドレイン・ソースという3つの電極を持ちます。Nチャネル・Pチャネルという種類はありますが、どちらも図 7D のようにゲート・ソース間電圧でドレイン電流を制御することができます。この FET、スイッチング電源においては主にスイッチ素子として用いられます。そこで、FET をスイッチとして用いる方法から、注意すべき点までを簡単に述べることにしましょう。

1. FET をスイッチとして用いる。

1) Nチャネル MOSFET の場合

- ・ゲート・ソース間に正の電圧  
ドレイン・ソース間が ON となる
- ・ゲート・ソース間の電圧が 0  
ドレイン・ソース間は OFF となる

2) Pチャネル MOSFET の場合

- ・ゲート・ソース間に負の電圧をかける  
ドレイン・ソース間が ON となる
- ・ゲート・ソース間の電圧が 0 だと  
ドレイン・ソース間は OFF となる

2. FET のオン抵抗

FET を ON 状態にしたとき、ドレイン・ソース間に見られる等価抵抗です。機械式スイッチの接触抵抗に相当します。数 m ~ 数 程度あります。同じ素子を用いてもゲート・ソース間電圧を高くしたほうが、ON 抵抗を小さくできます。なお、ON 抵抗が小さい FET は、後述する  $C_{iss}$  が大きくなっていますから、FET のゲートを駆動する際、注意が必要です。

3. FET のドライブと、 $C_{iss}$ ,  $C_{rss}$ , ゲートチャージ

MOSFET は、その構造上ゲート・ソース間がコンデンサにみえます。コンデンサと言うことは、電圧を加えればコンデンサ両端電圧が印加電圧になるまで充電電流が流れ込みますし、ゲート・ソース間をショートしてあげれば放電電流が流れ出します。ですから、MOSFET のゲートドライブにおいて、もし駆動回路の出力抵抗が高い(駆動回路の駆動能力が低い) すなわち図 7H の  $R$  が大きいとゲート電圧波形は図 7H (b) のようになってしまう、FET がただならぬ ON ようになります。これは OFF させるときも同様で、FET のスイッチング特性をよくするためには、瞬間的に大電流を流し込めると言う駆動能力の大きいドライブ回路が必要となります。

FET には、図 7G に示すように各電極間において  $C_{DG}$ ,  $C_{GS}$ ,  $C_{DS}$  の容量があり、この容量から入力容量  $C_{iss}$ , 出力容量  $C_{oss}$ , 帰還容量  $C_{rss}$  が定義されます。ゲートドライ

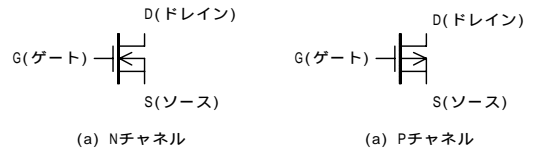


図 7C MOSFET の図記号

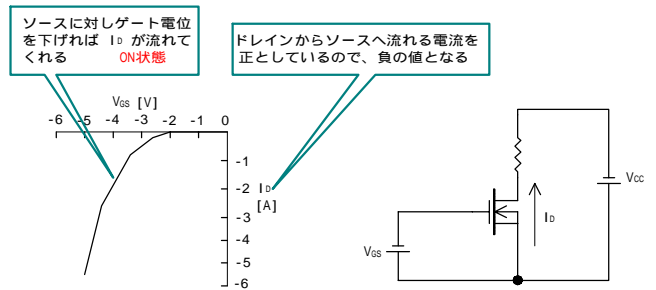
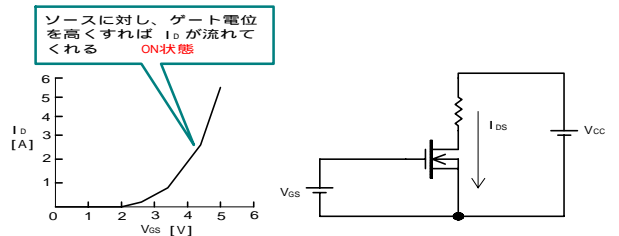


図 7D MOSFET の動作

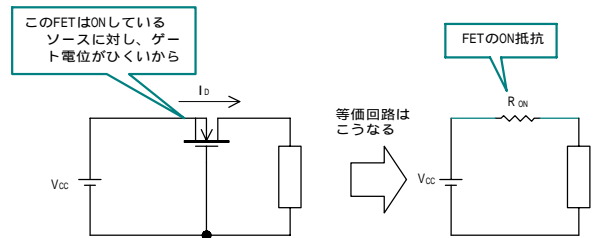


図 7E MOSFET の ON 抵抗

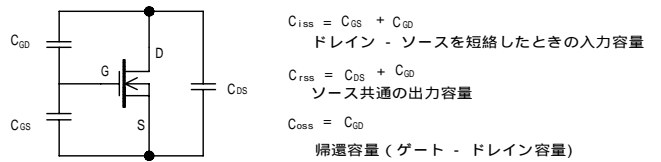
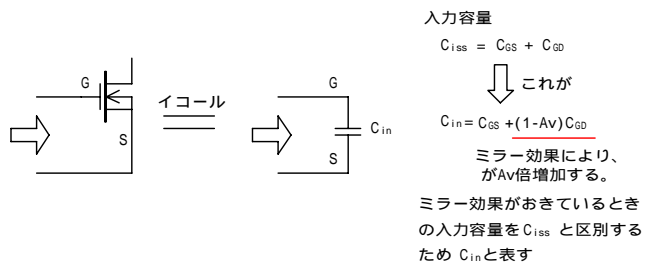


図 7F MOSFET の容量



FET を増幅器として用いた場合、ミラー効果により ゲート・ソース間の容量が  $C_{iss}$  より増加して、 $C_{in}$  となる

図 7G ミラー効果による入力容量の増加

コラム FET について 2/3

ブにおいて注意をするゲート・ソース間の容量  $C_{in}$  は、図7Gに示したように、 $C_{GS}, C_{rss}$ 、そしてFETを増幅器として用いたときの増幅度  $A$  で決まります。増幅度とかが入ってきてわけがわからなくなってくるかと思しますので、とりあえず、 $C_{in}$  は  $C_{GS}$  と  $C_{GD}(=C_{rss})$  と増幅度できまり、それぞれが大きければ大きいほど  $C_{in}$  も大きくなるんだということだけ覚えておくといいでしょう。増幅度が1(つまり負荷抵抗がなく増幅器として使っていない)のとき、 $C_{in}$  は  $C_{iss}$  となり、ソースフォロアとして用いたとき、 $C_{in}$  は  $C_{GS}$  となります。増幅度がある場合(反転増幅器となるので、 $A_v$  は負号となります)、 $C_{in}$  はミラー効果の影響で  $C_{iss}$  より大きな値となります。では、このFETを駆動するのに重要なパラメータである  $C_{in}$ 、いったいどのくらいの容量で、そしてどのくらいの容量だったらどのくらいの駆動能力が必要なのかをみていくことにしましょう。まずは、 $C_{in}$  の容量がどのくらいなのか、から見ていくことにします。

$C_{in}$  は  $V_{DS}$  によって大きく変化します。図7Iは  $C_{in}$  を決定する  $C_{iss}, C_{rss}$  が  $V_{DS}$  に対しどのように変化するかを表したグラフです。FETによって、縦軸・横軸のスケールが変わりますが、おおむね  $V_{DS}$  が少ないと  $C_{iss}, C_{rss}$  は大きくなるという特性を持ちます。ここで注目するのは、 $C_{rss}$  の変化の度合いで、 $V_{DS}$  に対し、かなり大きく変化しています(縦軸は対数メモリです)。これは、FETがTurnONする( $V_{DS}$  が小さくなる)と  $C_{in}$  が大きく増加することを意味しています。

さて、以上のことを念頭におきながら図7Jを見て下さい。この図も、パワーMOSFETのデータブックにたいい掲載されているグラフで、 $C_{in}$  に蓄えられる電荷量と  $V_{DS}, V_{GS}$  の関係を表したものです。このグラフから、どのくらいの電荷量でFETがTurnONするか、また、印加した  $V_{GS}$  により、どのくらい  $C_{in}$  に電荷が蓄えられているのかを知ることができます。このグラフで、 $Q_g$  が  $5nC \sim 15nC$  の間、ほぼ  $V_{GS}$  が一定という領域があります。これは、先に述べた  $V_{DS}$  が小さくなると  $C_{rss}$  が増加するためです。つまり、 $V_{GS}$  を増やしてFETがTurnONすると、 $V_{DS}$  が下がり、 $C_{rss}$  が増加します。そのため、 $C_{in}$  も増加して  $C_{in}$  に蓄えられる電荷量が増加するという事です(柿は渋いと覚えれば良いといわれる公式、 $Q=CV$  から、 $V_{GS}$  一定で  $C$  が増えれば  $Q$  も増えるということがわかります)。さて、こうして  $C_{in}$  にどの程度電荷を充電してあげればFETがONしてくえるのか、またONしているとき、 $C_{in}$  にどのくらいの電荷が蓄えられているのか、そして、 $Q$  と  $V_{GS}$  がどうして図7Jのようなグラフになるのかということがわかりました。 $C_{in}$  の充電電流を  $I$  とすると、 $Q=It$  (「急に合いたい」と覚えると良い)より図7Hの  $R$  から  $V/R$  で  $I$  が求まり、そこからTurnONやTurnOFFに要する時間を算出することができます。逆にいえば、必要なTurnON/TurnOFF時間を得るためには、どのくらいの出力電流が取り出せる能力を持つドライブ回路が必要かがわかってくるのです。

そろそろ頭が混乱してきていることかと思しますので、例をもながら整理することにしましょう。

まず図7Kを見て下さい。この回路は、デジタル論理回路(ANDゲートやORゲートなど)や、オペアンプ、コンパレータなど、あまり出力電流をとることのできない素子でFETをドライブする場合を示しております。ゲートに挿入してい

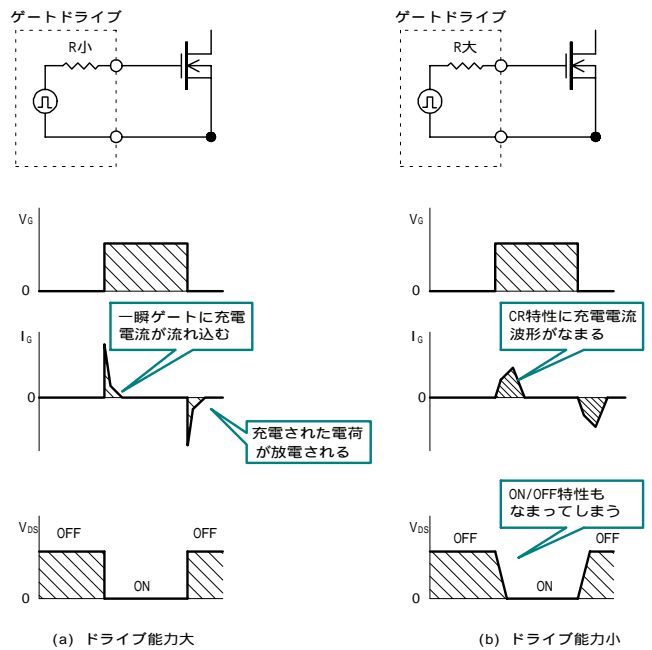
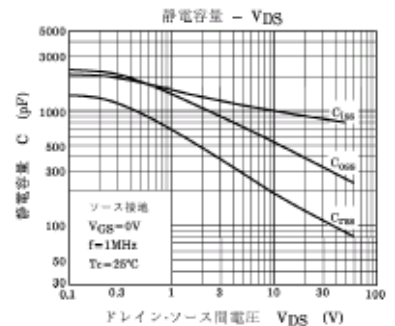
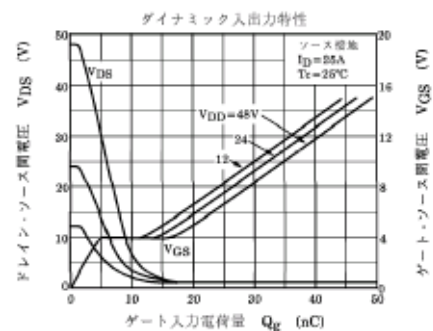


図7H FETのゲートドライブ



96東芝 パワーMOSFETデータブックより 2SK2232

図7I  $C_{iss}, C_{rss}, C_{oss}$  の変化



96東芝 パワーMOSFETデータブックより 2SK2232

図7J FETのゲート電荷量と  $V_{DS}, V_{GS}$  の関係

コラム FET について 3/3

る抵抗は、デジタル論理回路などのドライブ素子の出力電流が絶対最大定格を超えないように入れている、電流制限抵抗です(抵抗をいれておけば、最大電流は  $V_G/R$  に制限される)。今、FET として 2SK2232、駆動回路として最大出力電流定格が 10mA の論理回路を用いた場合を考えてみましょう。ドライブ素子の最大出力電流が 10mA ですから、マージンを見て 7mA に制限すると知れば、R の値は

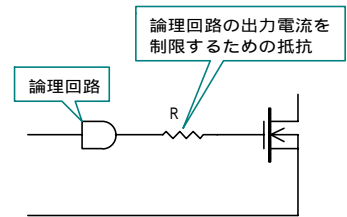
$$R = \frac{Q}{I} = \frac{5V}{7mA} = 714\Omega$$

FET を TurnON するのに必要なゲート電荷は図 7J より 15nC (TurnON するという事は、 $V_{DS}$  が 0V に近づいているということ。ここでは  $V_{DD}=48V$  を例にしています) ですから、TurnON に要する時間は  $Q=It$  より

$$t = \frac{Q}{I} = \frac{15nC}{7mA} = 2.14\mu s$$

となります(実際には、I は 7mA の定電流ではないので、もう少し時間がかかる)。2SK2232 の TurnON 時間の実力をみると(図 7L)、 $t_r=20ns$  ですから、FET の性能をまったく出していないこととなります。同様に TurnOFF の時間を算出すると、ゲート駆動は 5V ですので、 $C_{in}$  には 18nC の電荷がたまっていることになり、

$$t = \frac{Q}{I} = \frac{18nC}{7mA} = 2.57\mu s$$



この図では、論理回路がゲートをドライブしているが、他にも OPAMP とか、コンパレータなどが考えられる

図 7K ドライブ能力の低い回路でのゲートドライブ

となり、これまた FET の実力をだしてないことになりませう。もし、FET の実力を出すためには、TurnON させる時を例にとってみると

$$I = \frac{Q}{t} = \frac{15nC}{20ns} = 0.75A$$

もの電流をゲートに流し込んであげなければなりません。したがって、FET を高速でスイッチングするためには、十分な駆動能力(ドライブするための電流が取り出せる)のあるドライブ回路が必要になるのです。スイッチング電源用の IC において、「FET を直接駆動できる」という記述のあるものは、瞬間的に大きな電流を取り出したり、引き込んだりできるということです。

電気的特性 (Ta = 25°C)

項目	記号	測定条件	最小	標準	最大	単位
ゲート漏れ電流	$I_{GSS}$	$V_{GS} = \pm 16V, V_{DS} = 0V$	—	—	$\pm 10$	$\mu A$
ドレインシャ断電流	$I_{DSS}$	$V_{DS} = 60V, V_{GS} = 0V$	—	—	100	$\mu A$
ドレイン・ソース間降伏電圧	$V_{(BR)DSS}$	$I_D = 10mA, V_{GS} = 0V$	60	—	—	V
ゲートしきい値電圧	$V_{th}$	$V_{DS} = 10V, I_D = 1mA$	0.8	—	2.0	V
ドレイン・ソース間オン抵抗	$R_{DS(ON)}$	$V_{GS} = 4V, I_D = 12A$	—	0.057	0.08	$\Omega$
		$V_{GS} = 10V, I_D = 12A$	—	0.036	0.046	
順方向伝達アドミタンス	$ Y_{fs} $	$V_{DS} = 10V, I_D = 12A$	10	16	—	S
入力容量	$C_{iss}$	$V_{DS} = 10V, V_{GS} = 0V, f = 1MHz$	—	1000	—	pF
帰還容量	$C_{rss}$		—	200	—	
出力容量	$C_{oss}$		—	550	—	
スイッチング時間	上昇時間	$t_r$		—	20	ns
	ターンオン時間	$t_{on}$		—	30	
	下降時間	$t_f$		—	55	
	ターンオフ時間	$t_{off}$		—	130	
ゲート入力電荷量	$Q_g$	$V_{DD} \approx 48V, V_{GS} = 10V, I_D = 25A$	—	38	—	nC
ゲート・ソース間電荷量	$Q_{gs}$		—	25	—	
ゲート・ドレイン間電荷量	$Q_{gd}$		—	13	—	

図 7L FET の電気的特性