

【金田式完全対称回路による I/V 変換兼 2 次アクティブ LPF の TIM 歪を検討】

2007.5.4 kephis

< 1 > DAC 出力の I/V 変換回路の TIM 歪について

電流出力 DAC は、階段状の電流信号を出力する。

この階段波形のエッジの部分には高周波成分を含んでいる（図 1）。これがアンプに入ると、TIM 歪を発生する可能性がある。

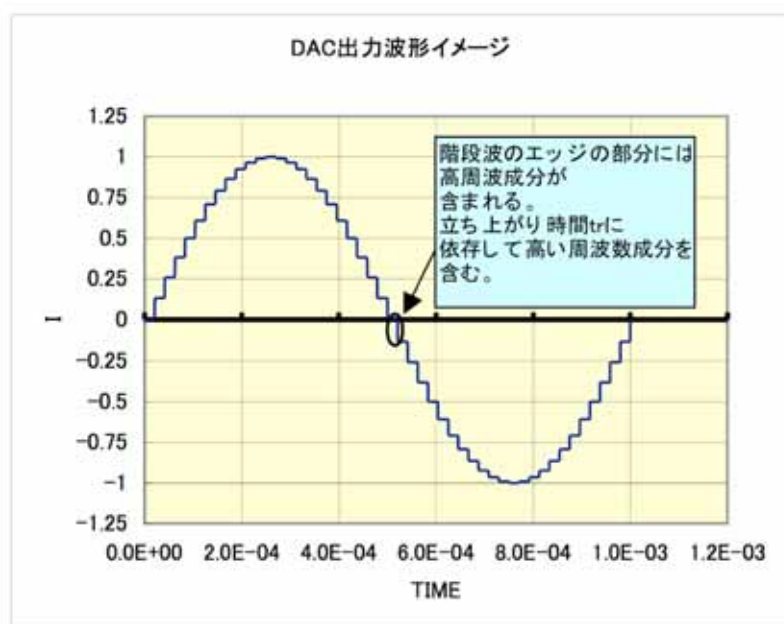


図 1.1 DAC の出力電流波形イメージ

階段の間隔はサンプリング周期。各階段の立ち上がり・立ち下りの時間変化量 dT は 100ns。

高さはそのサンプリング周期でデジタル化された正弦波の各値である。波形の振幅が $\pm 1\text{mA}$ として、最も階段振幅の大きい 0mA 付近のステップは約 $130\mu\text{A}$ なので、電流スルーレートは

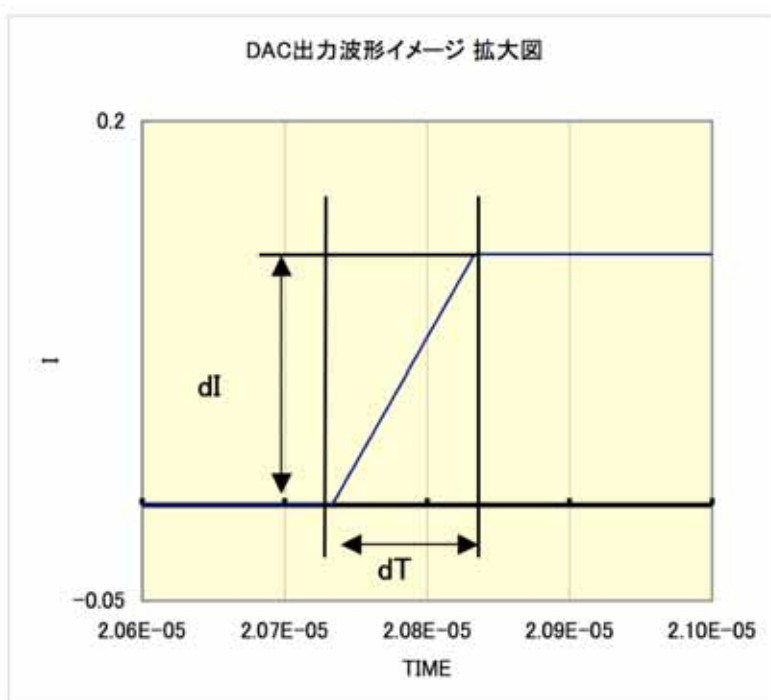
$130\mu\text{A}/100\text{ns} = 1300\text{k}[\text{A/s}]$ である。

図 1.2 図 1.1 の立ち上がり部分の拡大

$dT \neq tr$

通常の tr の定義は、振幅の 10%~90%の時間。

$0.8dT \approx tr$



TIM 歪は二段階ある。

1. 出力に現れないがアンプ内部でオーバーシュートなどが発生してしまう→多くの場合、アンプ全体にかかる帰還でかなり吸収される
2. アンプ内部のオーバーシュートでクリップを起こし、非線形歪が出力に現れてしまう

入力信号のスルーレートを SR_s 、アンプのスルーレートを SR_a 、アンプの帰還量を β とすると、
 $SR_s < \beta \cdot SR_a \dots (1)$

で 2. の TIM 歪を完全に防げ、この式がある程度余裕のある状態で成立している場合には 1. も問題がない、と黒田氏が導いている。(ラジオ技術誌 1992 年 1 月号、2 月号、3 月号より)。

1. の TIM 歪を見るには、回路途中の応答波形で入力にはないオーバーシュートなどが出ていれば、TIM 歪が発生していると考えてよい。

今回のシミュレーションでは二段目差動のコレクタ電流を観測することとする。

TIM 歪を発生しないようにするには、入力される信号の立ち上がり時間に十分に応答できる特性を有するアンプを用いることで、アンプの応答時間を早く出来ない場合には入力信号の立ち上がり時間を落とす必要がある。

<2>スルーレートのシミュレーション

2.1 金田式プリの回路での I/V 変換回路のシミュレーション

まず、金田式プリのスルーレートをシミュレートしてみる。

I/V 変換回路にて確認する。

回路図は以下のとおり。

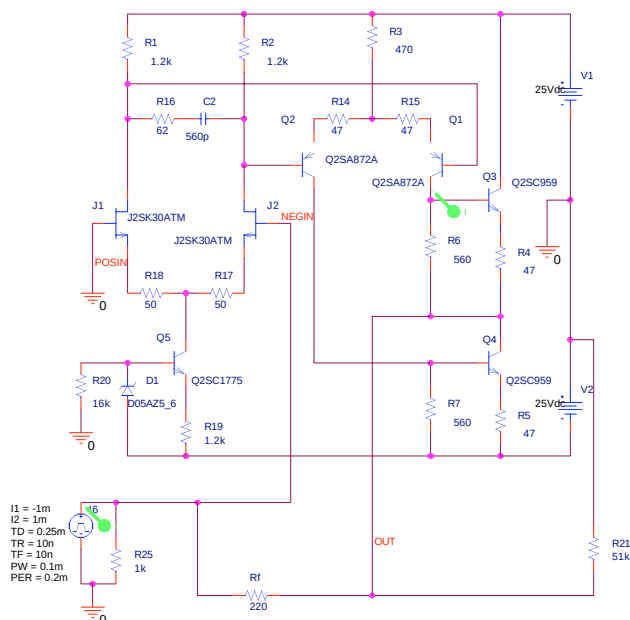


図 2.1 スルーレート測定回路

ステップ位相補償が $62\Omega + 560\text{pF}$ になっている。
I/V 兼フィルタ回路ではない場合、こうしないと位相余裕がなくなりパルス入力による寄生発振をする。

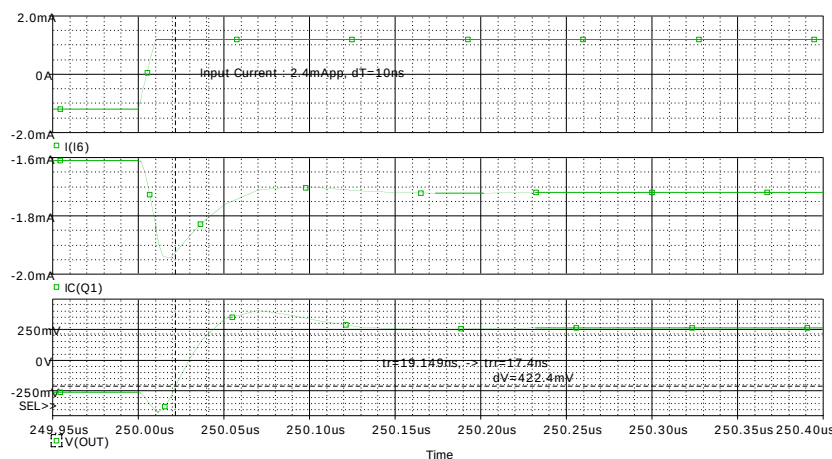


図 2.2 金田式プリのスルーレート

$\pm 1.2\text{mA}$ 、 $dT=10\text{ns}$ のパルスの応答。一番上が電流入力波形、中段は二段目差動のコレクタ電流、一番下が出力電圧波形。

観測上の tr は 19.149ns 。入力信号の立ち上がり時間 $tri=8\text{ns}$ ($dT=10\text{ns}$ の 0.8 倍から) なので、真のアンプの立ち上がり時間 trr は

$$trr = \sqrt{tr^2 - tri^2} \quad \dots (2)$$

から計算して $trr=17.40\text{ns}$ を得る。

ここからスルーレートを計算すると、

$$SR = dV/trr = 422.4mV/17.40ns = 24.28MV/s = 24.28V/\mu s$$

では、こんどは極端に鋭い立ち上がり電流パルス（100ps）を入力すると、

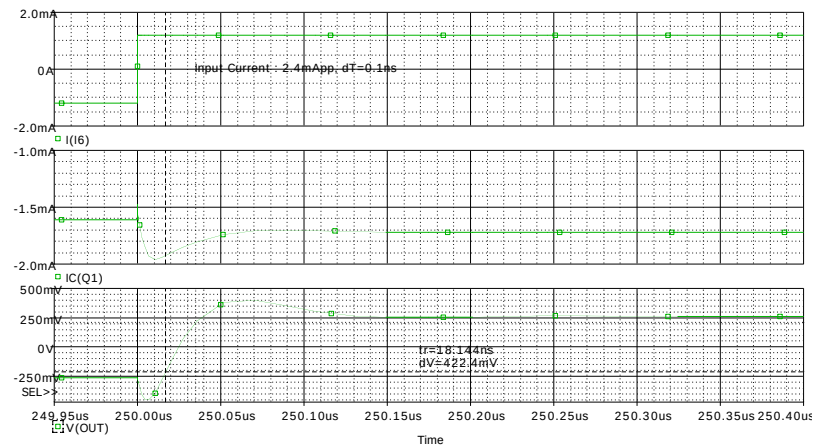


図 2.3 100ps の応答

このグラフより、**23.28V/μs**。若干ずれがあるが、おおよそこのようなものである。

（また、私が行った過去の完全対称型金田式プリアンプの回路のシミュレーション結果を調べると、回路電流を微調整することで二倍近いスルーレートにもすることができるはずである。）

これにより、今回の **I/V変換抵抗 220Ω** で **±1.2mA** の場合、スルーレートは **23.28V/μs** と、一般オペアンプ（ex.AD797 は Typ で **20V/μs**、NE5534 は Typ で **13V/μs**）に引けをとらない値である。

中段 **Q1** のコレクタの電流はかなりオーバーシュートが出ていて、ピークでクリップぎみである。出力波形もプリシュートが発生している。これは **TIM** 歪によるものと考えられる。

(1)式から、トランスインピーダンス・アンプ（**I/V変換アンプ**）は **β=1** と考えられるので、(1)式をスルーレートでなく立ち上がり時間で表記すると

$$tri > trr \cdots (3)$$

tri は **PCM1704** のセットリングタイム **200ns** から考え、小さく見積もって **100ns** と仮定しても(3)式に十分に入り、波形がクリップするような **TIM** 歪は発生しないと言える。

しかし、**1.**のアンプ内部で発生する **TIM** 歪は、起こりえる話である。

2.2 I/V 兼フィルタの回路のシミュレーション

今回、ミラー効果利用型（仮称）I/V 兼 2 次 LPF、マルチプル・フィードバック型 I/V 兼 2 次 LPF、NE5534 による I/V 変換の三種類の回路をシミュレーションしてみた。DAC 出力振幅は $\pm 1\text{mApp}$ 、ステイミュラス・エディタと MS-EXCEL を駆使して、 dT （1DIGIT の変化時間、振幅に無関係）を 100ns 、 $1\mu\text{s}$ 、 $10\mu\text{s}$ の三種類について、 1kHz の正弦波を 48k サンプルングしたときを想定した階段波形を生成した。これを電流信号源として利用する。

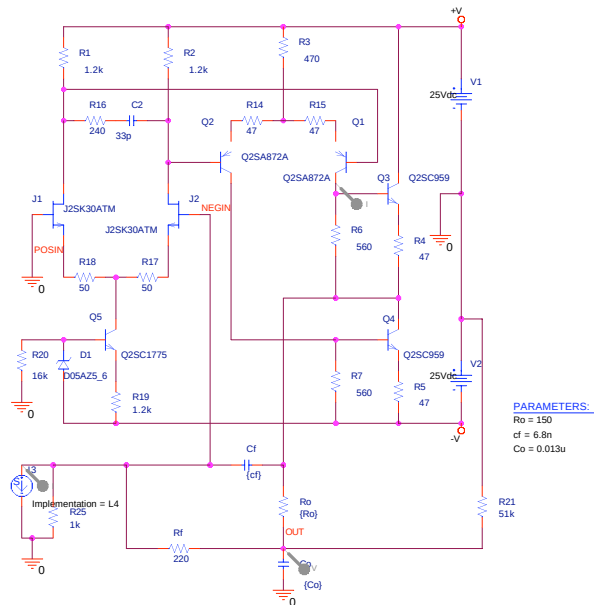


図3 Cir1: ミラー効果利用型（仮称）I/V 兼 2 次 LPF

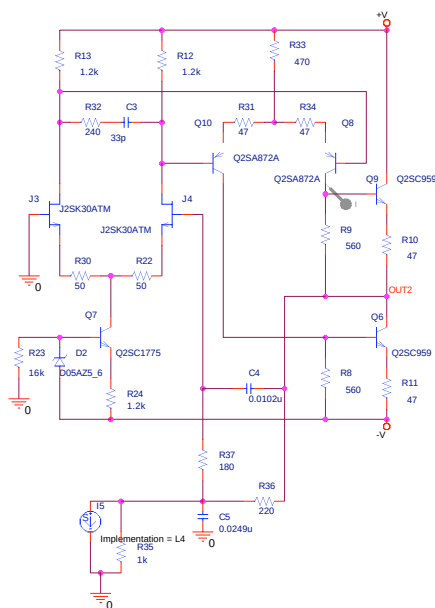


図4 Cir2: マルチプル・フィードバック型 I/V 兼 2 次 LPF
入力段階で電圧振幅が発生し、それに対してフィルタがかかっている。

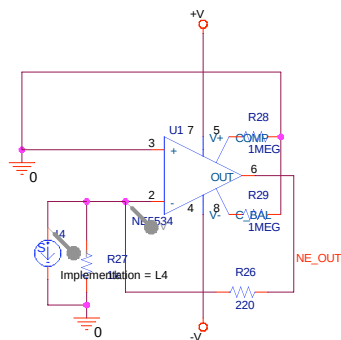


図5: NE5534 によるフィルタなし I/V 変換
NE5534 のモデルは

http://users.skynet.be/hugocoolens/spice/opamps/5534_2.htm

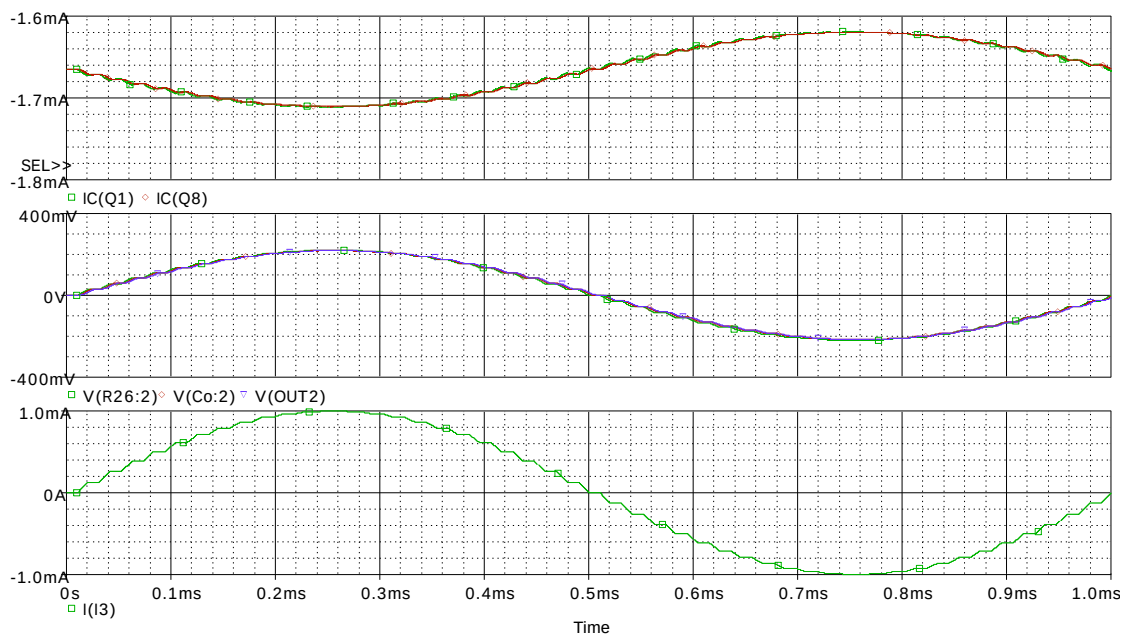


図 6 : 全体の波形

この図も含め、一番上が二段目差動のコレクタ電流、中段が出力電圧波形、一番下が入力電流波形。

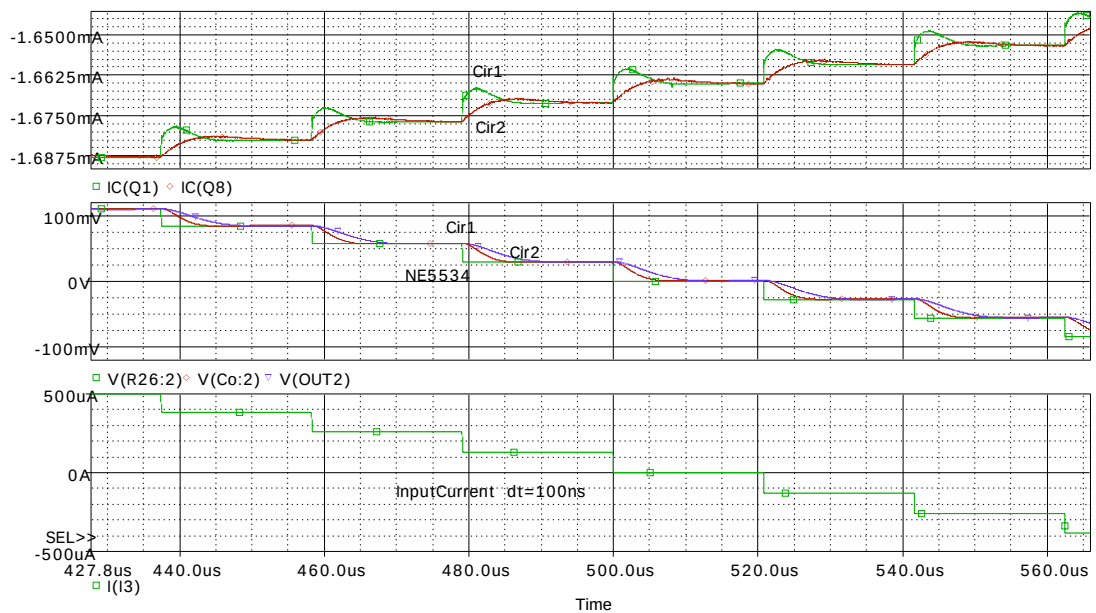


図 7 : $dT=100ns$ の場合の応答

Cir1 は出力ではそれなり綺麗な波形だが、内部電流は異常な波形を示している。

Cir2 では、内部電流も綺麗な波形である。TIM 歪対策には有効である。

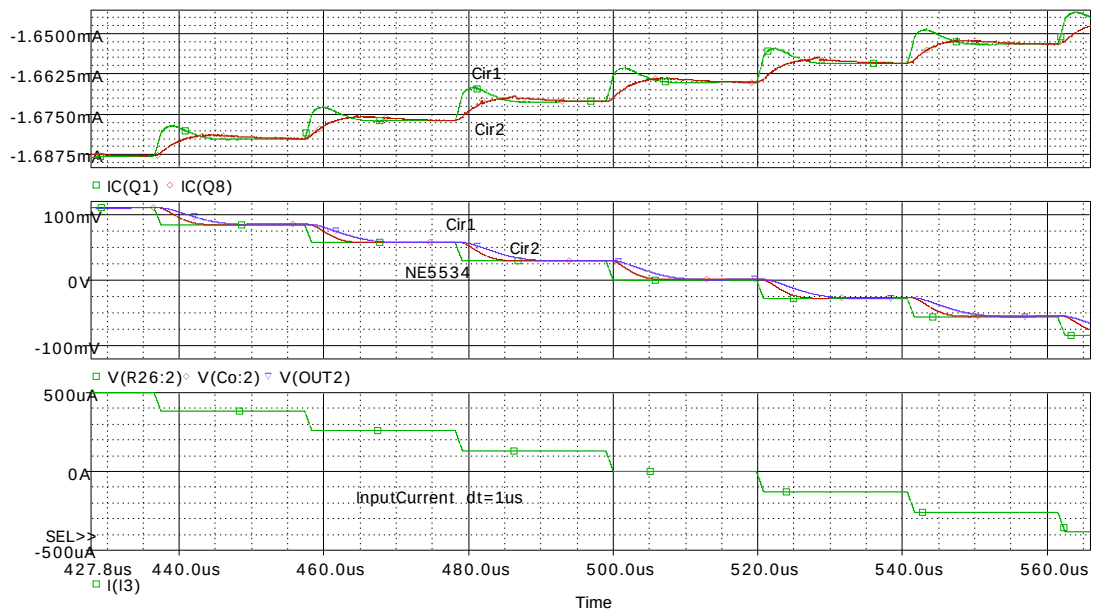


図 8 : $dT=1\mu s$ の場合の応答

図 7 とはあまり変わりなし。

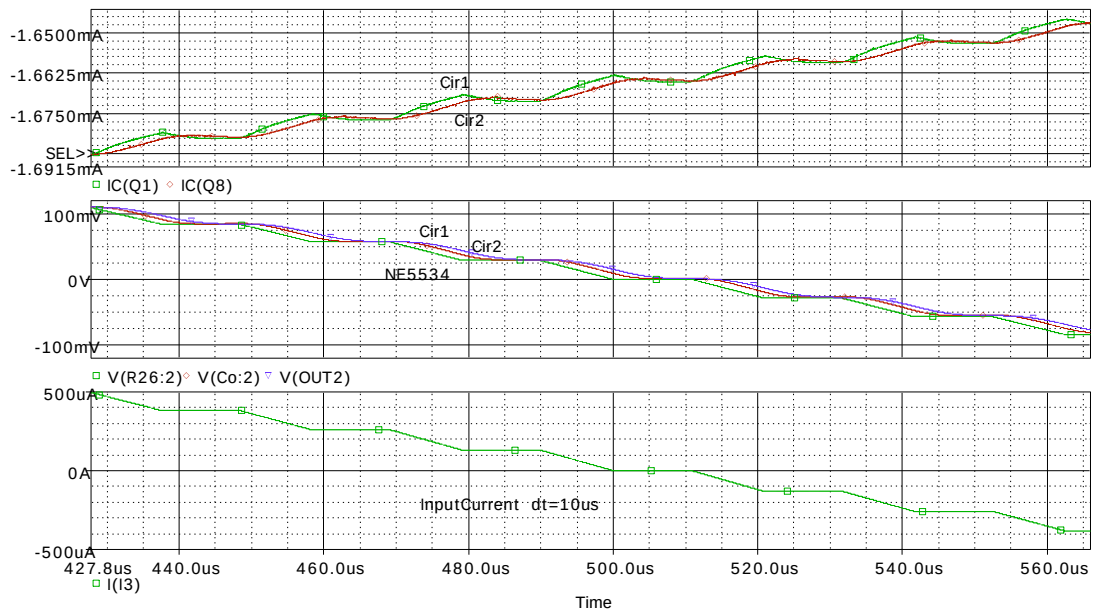


図 9 : $dT=10\mu s$ の場合

Cir1 もかなり滑らか。ちょっとオーバーシュートのような波形が出ているが、これはシミュレーション入力波形のエッジの部分の影響であろう。実際の波形は、このエッジはかなり滑らかなものになっているはずで、このような波形にならないことが予想される。

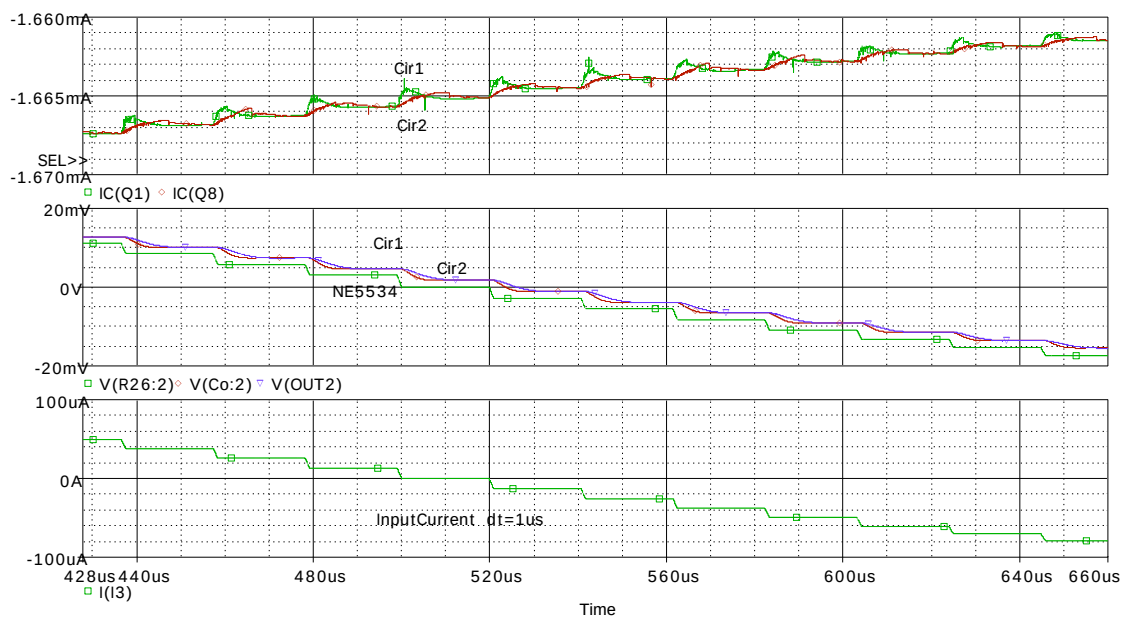


図 10 : $dT=1\mu s$ 、振幅 0.1mA の場合

入力振幅をこのように小さくすると、Cir1 はかなり改善されるが、まだ内部 TIM 歪は発生しているようである。

では、電流をもっとダイナミックに振ってみた。100n の立ち上がり/立ち下り時間の $\pm 1mA$ の電流パルスを加えてシミュレーションした。(PCM1704 の出力は $\pm 1.2mA$)。

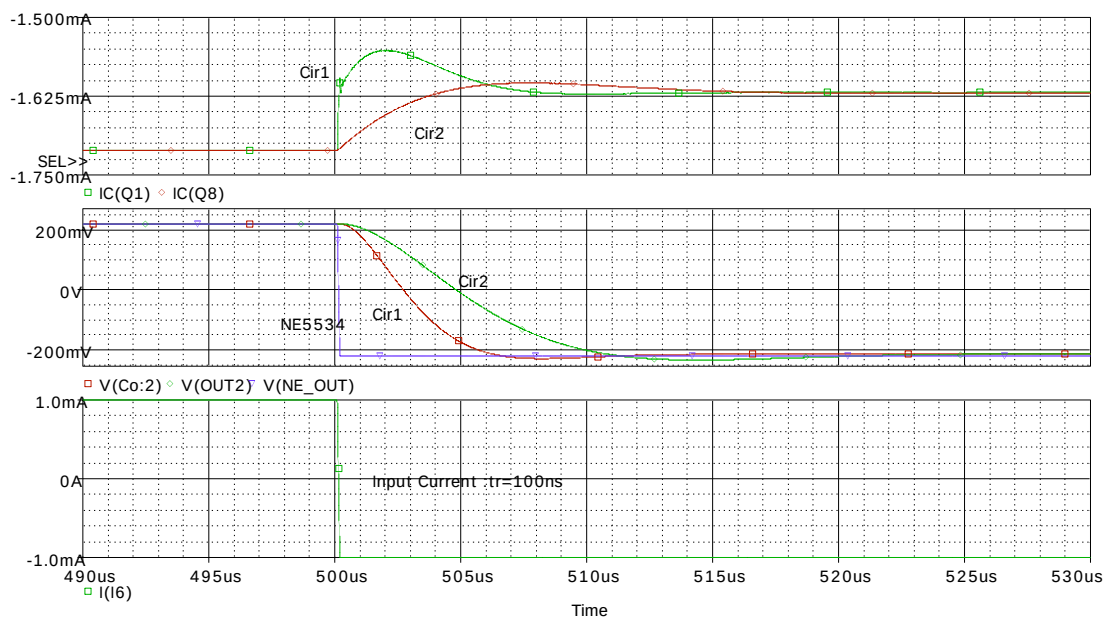


図 11 : ダイナミック入力

この場合の電流スルーレートは $2mA/100ns=20k[A/s]$

Cir1 では、二段目のコレクタ電流にかなりオーバーシュートが出ているが、クリップまではしていない。

Cir2 でも若干オーバーシュートが確認できる。

NE5534 の出力はまったくなにも現れてない。モデルに問題があるのか、結果が良すぎである。

< 3 > シミュレーション結果の考察

DAC、PCM1704 は、200ns のセッティングタイムということで、 $dT < 200ns$ だと考えられるが、ミラー効果利用型 I/V 兼 2 次 LPF は、 $1\mu s$ でも、アンプ内部に TIM 歪が発生する可能性があることがわかった。反面、マルチプル・フィードバック型 I/V 兼 2 次 LPF は、TIM 歪に対してある程度有効であることがわかった。

しかし、どちらも出力に TIM 歪が現れるほどではないことも確認された。

NE5534 は、話では DAC の出力 I/V に使うと TIM 歪が発生するということであったが、今回は確認できなかった（モデルが原因か？）。

※参考：

テキサスインスツルメンツ社のアプリケーションノート「SBAA066 PCM1704 の高性能化テクニック」（TI のサイトよりダウンロード可能）より、 $96k \times 8$ オーバーサンプリングの時、出力 2Vrms でのスルーレートを計算すると、I/V 変換アンプに使用するオペアンプの必要スルーレートは $\approx 29V/\mu s$ という値が乗っています。これは、TIM 歪が出るかでないか、ではなく、フルスケールで最高周波数の正弦波を通した場合の必要スルーレートです。

これは、今回の条件とは別の計算です。

また、さらに、このアプリケーションノートでは、出力 2Vrms の時の計算なのですが、私の I/V 兼 2 次アクティブ LPF は出力が $\approx 0.2V_{pp}$ が最大なので、この計算から行くと、スルーレートは $\approx 1/10$ の $2.9V/\mu s$ 以上、ということになり、十分な値といえます。

< 4 > 実測

私の回路の出力波形を測定してみた。

オシロスコープ : IWATSU SS-5321(DC~250MHz)

プローブ : IWATSU SS-0014(10:1 DC~350MHz)

信号経路

OSC (NF 回路設計ブロック SY118) 1kHz の正弦波

→ROLAND EDIROL R-4 Rch 入力 48ks,16bit 信号でサンプリング

→S/PDIF を介して、自作 DAC へ

→Rch の出力を観測

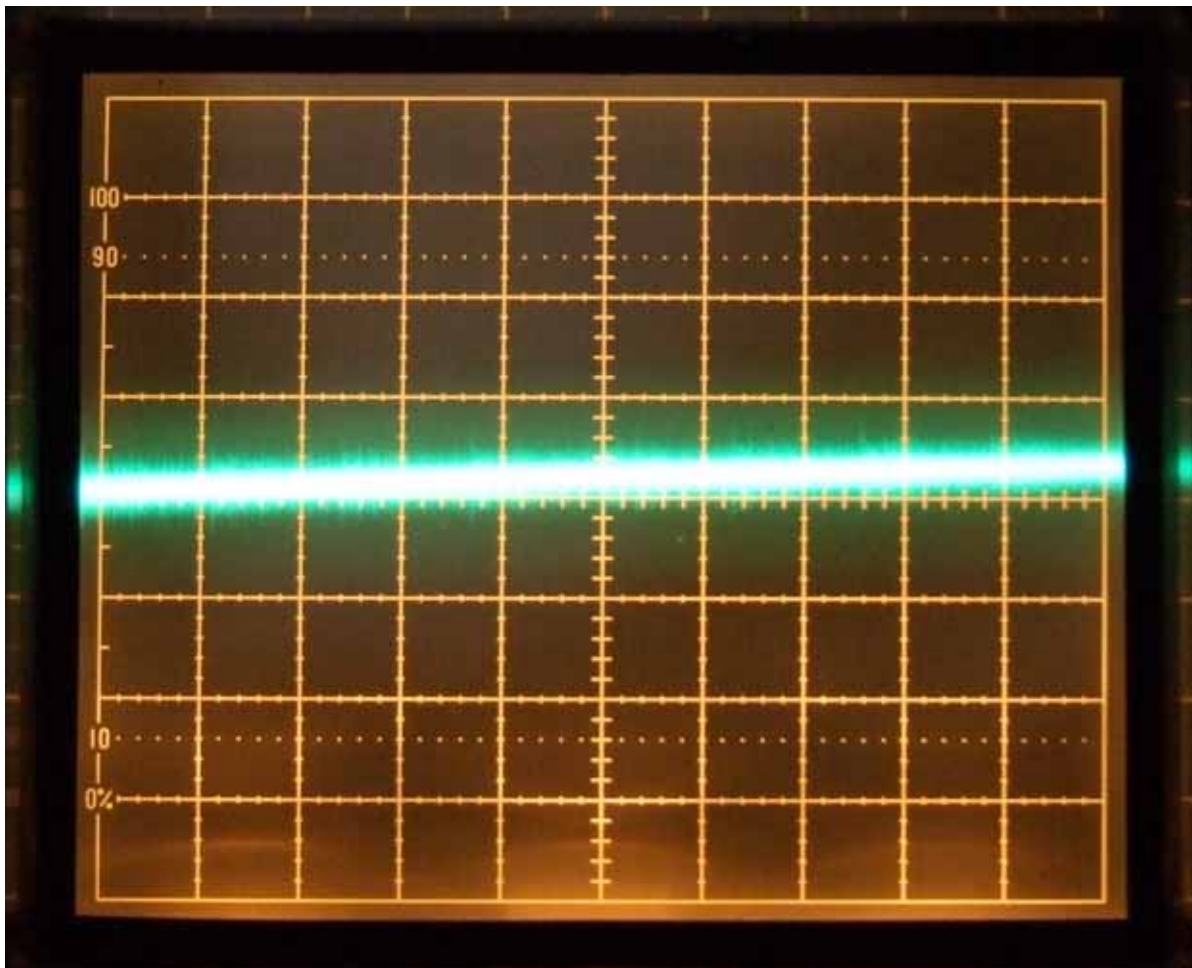


写真1 : I/V 兼フィルタ回路の出力 2 μ s/DIV、200mV/DIV

48k の 8 倍オーバーサンプリングの 1 周期 2.6 μ s のパルスが出ている。が、どこから乗ったものか、よくわからない。

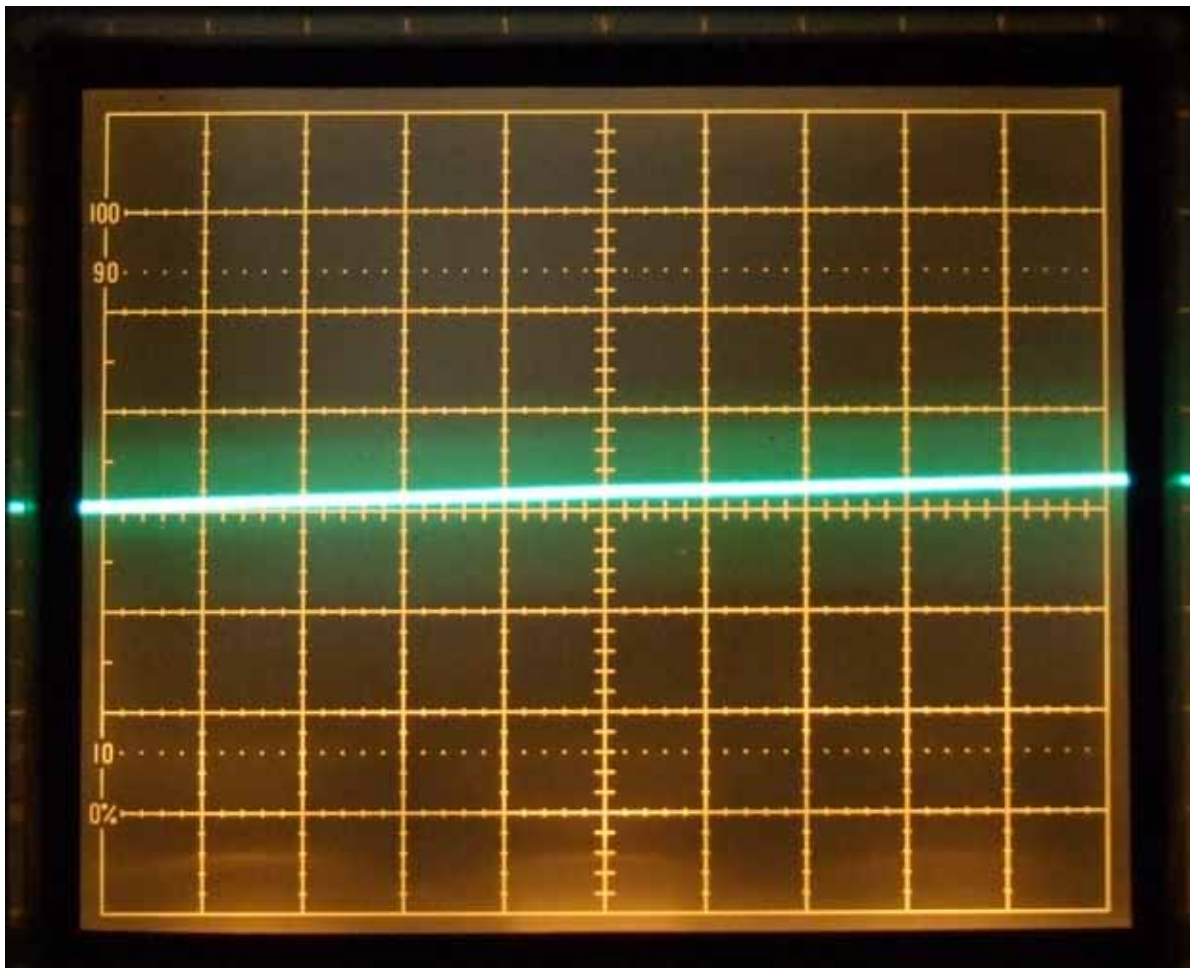


写真2：I/V 兼フィルタ回路の出力 写真1に 20MHz のフィルタをかけたもの
2 μ s/DIV、200mV/DIV

20MHz のフィルタを入れたが、わずかにまだパルスが乗っているか、よくわからない。

我が家の測定器ではこのくらいが限度か？

20MHz のフィルタでここまで綺麗になるということは、I/V 変換そのものから出ているのではなく、どこか別のところから写真1のノイズが飛び込んでいるような気がするが、断定はできない。

< 5 > 結論

TIM 歪のでかたは、DAC の出力電流の立ち上がり時間に大きく左右される。私が今回使用した PCM1704 にはきちんとした規格が公表されていないのであくまで推定となるが、金田式プリの回路を用いた I/V 変換兼 2 次アクティブ LPF の回路で Cir1 の回路より Cir2 の回路の方が TIM 歪が出にくいことがわかったが、Cir1 の回路で実測上、大きな TIM 歪は観測できなかった。だから 100% 安心というわけではないが、シミュレーション上でも、仮に TIM 歪が出たとしても出力に現れるものではなさそう。今回は大きな問題にはならないものと考えられる。